

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor :Shiro FUJIMA.  
Filed :Concurrently herewith  
For :REDUNDANCY CONTROL .....  
Serial Number :Concurrently herewith

March 25, 2004

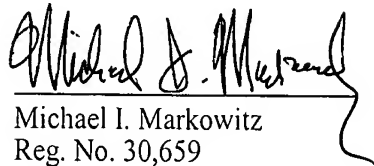
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

PRIORITY CLAIM AND  
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2003-096353** filed **March 31, 2003**, a copy of which is enclosed.

Respectfully submitted,

  
Michael I. Markowitz  
Reg. No. 30,659

Customer Number:  
026304  
Docket No.: NEKU 21.077



US  
955

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 9 6 3 5 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 9 6 3 5 3 ]

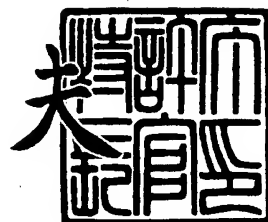
出   願   人            エルピーダメモリ株式会社  
Applicant(s):



2 0 0 4 年   3 月   2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 1 5 5 0 3



【書類名】 特許願

【整理番号】 22310277

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

    【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式  
                                会社内

    【氏名】 藤間 志郎

【特許出願人】

    【識別番号】 500174247

    【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

    【識別番号】 100102864

    【弁理士】

    【氏名又は名称】 工藤 実

【手数料の表示】

    【予納台帳番号】 053213

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0114854

【ブルーフの要否】 要



【書類名】 明細書

【発明の名称】 リダンダンシ制御回路、及びそれを用いた半導体記憶装置

【特許請求の範囲】

【請求項 1】 欠陥の位置を示す欠陥アドレスの情報が、電圧が印加されて絶縁破壊されることによりプログラムされる複数のプログラム素子を備えたリダンダンシ制御回路であって、

前記欠陥アドレスに対応して絶縁破壊すべき前記プログラム素子の数よりも少ない数の前記プログラム素子に対して同時に前記電圧が印加される

リダンダンシ制御回路。

【請求項 2】 請求項 1 記載のリダンダンシ制御回路において、

前記欠陥アドレスに対応して絶縁破壊すべき前記プログラム素子の数よりも少ない数は 1 であり、

前記プログラム素子の 1 本ずつ前記電圧が印加される

リダンダンシ制御回路。

【請求項 3】 請求項 1 または請求項 2 に記載のリダンダンシ制御回路において、

前記欠陥アドレスに対応して絶縁破壊すべき前記プログラム素子に対して、トリガ信号に基づいたタイミングで前記電圧が印加される

リダンダンシ制御回路。

【請求項 4】 請求項 1 から請求項 3 のいずれか 1 項に記載のリダンダンシ制御回路において、

前記電圧は、前記リダンダンシ制御回路を含むデバイスの内部で発生した電圧であり、前記複数のプログラム素子に対して共通に供給される

リダンダンシ制御回路。

【請求項 5】 請求項 1 から請求項 4 のいずれか 1 項に記載のリダンダンシ制御回路において、更に、

前記複数のプログラム素子のそれぞれに対応して設けられたヒューズ破壊設定部と、

前記複数のプログラム素子のそれぞれに対応して設けられた前記電圧が供給さ



れる電圧印加部と

を備え、

前記ヒューズ破壊設定部は、前記欠陥アドレスに対応して前記ヒューズ破壊設定部に対応する前記プログラム素子が絶縁破壊されるべきか否かを示す特定信号を前記電圧印加部に出力し、

前記電圧印加部は、前記プログラム素子が絶縁破壊されるべきであることを示して前記特定信号が入力したときに、前記特定信号に応答して、前記電圧印加部に対応する前記プログラム素子に前記電圧を印加する

リダンダンシ制御回路。

【請求項 6】 請求項 5 に記載のリダンダンシ制御回路において、

前記欠陥アドレスに対応して絶縁破壊されるべき複数の前記プログラム素子のうち、第 1 の前記プログラム素子に対応して設けられた第 1 の前記ヒューズ破壊設定部が前記特定信号を出力する第 1 タイミングと、前記欠陥アドレスに対応して絶縁破壊されるべき複数の前記プログラム素子のうち、第 2 の前記プログラム素子に対応して設けられた第 2 の前記ヒューズ破壊設定部が前記特定信号を出力する第 2 タイミングとは異なっている

リダンダンシ制御回路。

【請求項 7】 請求項 6 に記載のリダンダンシ制御回路において、

更に、タイミング設定部を備え、

前記タイミング設定部は、前記トリガ信号を入力し、前記入力した前記トリガ信号に基づいて、前記第 1 及び第 2 タイミングを決定する

リダンダンシ制御回路。

【請求項 8】 請求項 7 に記載のリダンダンシ制御回路において、

前記タイミング設定部は、

前記トリガ信号のパルス数が M であるときに前記トリガ信号のパルス数の計数を開始し、計数した前記パルス数が N であるときに第 1 の制御信号を出力する第 1 カウンタと、

前記トリガ信号のパルス数が  $(M+N)$  であるときに前記トリガ信号のパルス数の計数を開始し、計数した前記パルス数が N であるときに第 2 の制御信号を出



力する第2カウンタと、

前記トリガ信号のパルス数が $(M + 2 \times N)$ であるときに前記トリガ信号のパルス数の計数を開始し、計数した前記パルス数が $N$ であるときに第3の制御信号を出力する第3カウンタと

を備え、

前記第1カウンタは、前記第1の制御信号と、前記第2の制御信号の反転信号に基づいて、前記特定信号を出力するタイミングを示すタイミング信号を出力する論理部を有し、

前記第2カウンタは、前記第2の制御信号と、前記第3の制御信号の反転信号に基づいて、前記特定信号を出力するタイミングを示すタイミング信号を出力する論理部を有している

リダンダンシ制御回路。

【請求項9】 請求項6から請求項8のいずれか1項に記載のリダンダンシ制御回路において、

前記第1タイミング及び前記第2タイミングは、前記供給された前記電圧が基準電圧を上回ったことを示す信号により活性化される

リダンダンシ制御回路。

【請求項10】 請求項1から請求項9のいずれか1項に記載のリダンダンシ制御回路において、

前記プログラム素子は、アンチヒューズである

リダンダンシ制御回路。

【請求項11】 請求項1から請求項10のいずれか1項に記載のリダンダンシ制御回路と、

前記欠陥アドレスの情報と外部から入力されたアドレスが一致したときに、前記欠陥アドレス情報に対応する不良ワード線又は不良ビット線から置き換えられるべき冗長ワード線又は冗長ビット線と、

前記冗長ワード線又は前記冗長ビット線に接続された冗長メモリセルとを備えた半導体記憶装置。

【請求項12】 請求項11に記載の半導体記憶装置において、



前記半導体記憶装置は、DRAMであり、

前記アンチヒューズは、前記DRAMのメモリセルの容量絶縁膜と同一の構成である

半導体記憶装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、リダンダンシ制御回路、及びそれを用いた半導体記憶装置に関する。

**【0002】**

**【従来の技術】**

**【0003】**

従来のリダンダンシメモリ回路を備えた半導体記憶装置における欠陥アドレスの設定は、ウェハー工程において、レーザなどにより物理的に絶縁破壊することによりプログラム可能なヒューズを用いて行うことが一般的である。

**【0004】**

上記のように、レーザによりヒューズを破壊する方式にあつては、メモリチップをパッケージに封入する前にヒューズを破壊しなければならない。そのため、パッケージ封入（組立て）後に発生した不良を救済することができず、十分な歩留りの向上を達成することができないという不具合があった。

**【0005】**

そこで、組立て後に、不良を救済することができる方式として、電圧を印加することによりプログラムできるメタルヒューズ、ポリシリヒューズ、アンチヒューズを用いた方法が知られている。アンチヒューズは、プログラミング時に、上部電極と下部電極との間に高電圧が印加されると、上部電極と下部電極との間にある絶縁膜が絶縁破壊され、両電極間が短絡（導通）するようにされたヒューズである。

**【0006】**

かかる救済方式に従うと、チップをパッケージに封入した後であっても、アン



チヒューズに欠陥アドレス情報を書込むことができるため、パッケージ封入後に発生した不良を救済することができ、歩留りを向上させることができる。

#### 【0007】

欠陥アドレスを設定する際に、アンチヒューズを絶縁破壊するために印加する電圧は、デバイス外部から供給してもよいが、そのための高電圧に対処した外部端子を設けなければならないなどの制限やモジュール組立後の不良救済ができないなどの不備があり、そのデバイス内部の高電圧発生回路で発生させた電圧を用いる方法がある。しかし、高電圧発生回路をデバイス内部に設けるために電源や回路構成が限定され、その供給能力には限界がある。

#### 【0008】

従来、欠陥アドレスのデータに対応して複数のアンチヒューズを絶縁破壊するときには、それらの複数のアンチヒューズに対して同時に、その高電圧発生回路により発生させた電圧を印加していた。この場合、それら複数あるアンチヒューズのうちの1つが先に絶縁破壊すると、導通状態になるためにそれ以外の未だ絶縁破壊されていないアンチヒューズに印加されている電圧のレベルも低下する。もともと、高電圧発生回路の電流供給能力の制限から、破壊されたアンチヒューズにそれほど高い電圧を印加し続けることができないところ、1つのアンチヒューズが先に絶縁破壊することによる電圧のレベルダウンが起きると、それ以外の未だ絶縁破壊されていないアンチヒューズが絶縁破壊されないことがある。

#### 【0009】

##### 【特許文献1】

特表2000-511326号公報

##### 【特許文献2】

特開2000-90689号公報

#### 【0010】

##### 【発明が解決しようとする課題】

本発明の目的は、プログラム素子をより確実にプログラムすることが可能なりゲンダンシ制御回路、及びそれを用いた半導体記憶装置を提供することである。

#### 【0011】



本発明の他の目的は、特に、デバイス内部にある高電圧発生回路の能力の制限から、それほど高い電圧をプログラム素子に印加することができない場合に、プログラム素子をより確実にプログラムすることが可能なリダンダンシ制御回路、及びそれを用いた半導体記憶装置を提供することである。

#### 【0012】

##### 【課題を解決するための手段】

以下に、[発明の実施の形態] で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と[発明の実施の形態] との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

#### 【0013】

本発明のリダンダンシ制御回路(204)は、電圧(SVT)が印加されて絶縁破壊されることにより、欠陥の位置を示す欠陥アドレスの情報がプログラムされる複数のプログラム素子(100)を備えた回路である。前記欠陥アドレスに対応して絶縁破壊すべき前記プログラム素子(100)の数よりも少ない数の前記プログラム素子(100)に対して同時に前記電圧(SVT)が印加される。

#### 【0014】

本発明のリダンダンシ制御回路(204)において、前記欠陥アドレスに対応して絶縁破壊すべき前記プログラム素子(100)の数よりも少ない数は1であり、前記プログラム素子(100)の1本ずつ前記電圧(SVT)が印加される。

#### 【0015】

本発明のリダンダンシ制御回路(204)において、前記欠陥アドレスに対応して絶縁破壊すべき前記プログラム素子(100)は、トリガ信号(CLK)に基づいたタイミングで前記電圧(SVT)が印加される。

#### 【0016】

本発明のリダンダンシ制御回路(204)において、前記電圧(SVT)は、前記リダンダンシ制御回路(204)を含むデバイスの内部で発生した電圧であ



り、前記複数のプログラム素子（１００）に対して共通に供給される。

#### 【００１７】

本発明のリダンダンシ制御回路（２０４）において、更に、前記複数のプログラム素子（１００）のそれぞれに対応して設けられたヒューズ破壊設定部（１０５）と、前記複数のプログラム素子（１００）のそれぞれに対応して設けられた前記電圧（ＳＶＴ）が供給される電圧印加部（１０６）とを備えている。前記ヒューズ破壊設定部（１０５）は、前記欠陥アドレスに対応して前記ヒューズ破壊設定部（１０５）に対応する前記プログラム素子（１００）が絶縁破壊されるべきか否かを示す特定信号（ＶＣ）を前記電圧印加部（１０６）に出力する。前記電圧印加部（１０６）は、入力した前記特定信号（ＶＣ）が前記プログラム素子（１００）が絶縁破壊されるべきであることを示しているときに、前記特定信号（ＶＣ）に応答して、前記電圧印加部（１０６）に対応する前記プログラム素子（１００）に前記電圧（ＳＶＴ）を印加する。

#### 【００１８】

本発明のリダンダンシ制御回路（２０４）において、前記欠陥アドレスに対応して絶縁破壊されるべき複数の前記プログラム素子（１００）のうち、第１の前記プログラム素子（１００－０）に対応して設けられた第１の前記ヒューズ破壊設定部（１０５－０）が前記特定信号（ＶＣ０）を出力する第１タイミングと、前記欠陥アドレスに対応して絶縁破壊されるべき複数の前記プログラム素子（１００）のうち、第２の前記プログラム素子（１００－１）に対応して設けられた第２の前記ヒューズ破壊設定部（１０５－１）が前記特定信号（ＶＣ１）を出力する第２タイミングとは異なっている。

#### 【００１９】

本発明のリダンダンシ制御回路（２０４）は、更に、タイミング設定部（１０１）を備えている。前記タイミング設定部（１０１）は、前記トリガ信号（ＣＬＫ）を入力し、前記入力した前記トリガ信号（ＣＬＫ）に基づいて、前記第１および第２タイミングを決定する。

#### 【００２０】

本発明のリダンダンシ制御回路（２０４）において、前記タイミング設定部（

101) は、第1カウンタ(11-0)と第2カウンタ(11-1)と第3カウンタ(11-2)を備えている。第1カウンタ(11-0)は、前記トリガ信号(CLK)のパルス数がMであるときに前記トリガ信号(CLK)のパルス数の計数を開始し、計数を開始した後の前記パルス数がNであるときに第1の制御信号(SH0)を出力する。第2カウンタ(11-1)は、前記トリガ信号のパルス数が(M+N)であるときに前記トリガ信号のパルス数の計数を開始し、計数を開始した後の前記パルス数がNであるときに第2の制御信号(SH1)を出力する。第3カウンタ(11-2)は、前記トリガ信号(CLK)のパルス数が(M+2×N)であるときに前記トリガ信号(CLK)のパルス数の計数を開始し、計数を開始した後の前記パルス数がNであるときに第3の制御信号(SH2)を出力する。前記第1カウンタ(11-0)は、前記第1の制御信号(SH0)と、前記第2の制御信号(SH1)の反転信号に基づいて、前記特定信号(VC0)を出力するタイミングを示すタイミング信号(A0)を出力する論理部を有する。前記第2カウンタ(11-1)は、前記第2の制御信号(SH1)と、前記第3の制御信号(SH2)の反転信号に基づいて、前記特定信号(VC1)を出力するタイミングを示すタイミング信号(A1)を出力する論理部を有する。

#### 【0021】

本発明のリダンダンシ制御回路(204)において、前記第2タイミングは、前記第1タイミングの後、前記供給された前記電圧(SVT)が基準電圧(VREF)を上回ったことを示す信号(SVTUPの逆極性信号)により論理積をとって生成される。

#### 【0022】

本発明のリダンダンシ制御回路(204)において、前記プログラム素子(100)は、アンチヒューズである。

#### 【0023】

本発明の半導体記憶装置は、本発明のリダンダンシ制御回路(204)と、冗長ワード線又は冗長ビット線と、冗長メモリセルとを備えている。冗長ワード線又は冗長ビット線は、前記欠陥アドレスの情報と外部から入力されたアドレスが一致したときに、前記欠陥アドレス情報に対応する不良ワード線又は不良ビット

線から置き換えられる。冗長メモリセルは、前記冗長ワード線又は前記冗長ビット線に接続される。

#### 【0024】

本発明の半導体記憶装置において、前記半導体記憶装置は、DRAMであり、前記アンチヒューズ(100)は、前記DRAMのメモリセルの容量絶縁膜と同一の構成である。

#### 【0025】

リダンダンシ回路の使用を示すアンチヒューズと、欠陥アドレスを示すビットに対応するアンチヒューズとから構成される複数のアンチヒューズに対応して絶縁破壊すべき数のアンチヒューズを同時に絶縁破壊するのではなく、その絶縁破壊すべき数よりも少ない数(例えば1本)ずつのアンチヒューズを(同時に)絶縁破壊する。1本ずつのアンチヒューズに電圧を印加する場合には、複数のアンチヒューズに電圧を同時に印加しないことから、他にリーク源が発生することがなく、ターゲットのアンチヒューズに対して確実に所望の高電圧を印加することができる。欠陥アドレスに対応して絶縁破壊すべき数よりも少ない数ずつのアンチヒューズに同時に電圧を印加した場合には、欠陥アドレスに対応して絶縁破壊すべき数と同数のアンチヒューズに同時に電圧を印加した場合に比べてリーク源が発生する可能性が低い。

#### 【0026】

絶縁破壊すべきアンチヒューズを内在させるデバイス内部で、アンチヒューズを絶縁破壊する高電圧(SVTレベル)を発生する際に、限られた電流能力でも確実にアンチヒューズに対してSVTレベルが印加されるように、欠陥アドレスに対応して絶縁破壊すべき数よりも少ない数ずつのアンチヒューズに順番に高電圧を印加する。

#### 【0027】

高電圧が印加される部分の電圧印加回路の前段の制御用にシフトを設けて、外部トリガ信号CLKに同期して個々のアンチヒューズに1本ずつまたは2本以上ずつ順番にSVT(内部で生成したアンチヒューズを絶縁破壊する高電圧)を印加する。アンチヒューズに1本ずつまたはアドレスビットの数よりも少ない本数

ずつSVTを印加する。これにより、ターゲットのアンチヒューズが絶縁破壊するまでSVTを印加し続けることが可能となり、SVTジェネレータの電流能力が限られていても、そのターゲットのアンチヒューズを確実に絶縁破壊することができる。アドレスビットの数または複数のアンチヒューズに同時に印加しないので、他にリーク源が発生する可能性が低くまたはその可能性が無く、そのアンチヒューズに対して確実にSVTレベルを印加することができる。

#### 【0028】

##### 【発明の実施の形態】

以下、添付図面を参照して、本発明の一実施形態を説明する。上記と同様の構成要素については、同様の符号を付してその詳細な説明を省略することがある。

#### 【0029】

本実施形態では、デバイス内部にある高電圧発生回路の能力の制限から、それほど高い電圧をプログラム素子に印加することができない場合であっても、プログラム素子を確実にプログラムするために、欠陥アドレスに対応してプログラムすべき複数のプログラム素子を1本ずつプログラムすることが行われる。本実施形態のデバイスは、DRAMであり、プログラム素子としては、メタルヒューズ、ポリシリヒューズ、アンチヒューズなどがあるが、以下はアンチヒューズを例として説明する。また、アンチヒューズ100としては、DRAMメモリセルの容量絶縁膜と同じ構成が用いられる。

#### 【0030】

図1は、本実施形態に係るDRAMの全体構成を示す図である。但し、図1では、説明を簡単にするためにロウ側のみが記載され、カラム側は省略されている。リダンダンシメモリ回路を備えたDRAMは、メモリセルアレイ201、ロウデコーダ206、ロウアドレスラッチ回路207、コマンドデコーダ共通回路208を備えている。更に、メモリセルアレイ201に含まれる不良ビットを救済して歩留まりを向上させるために、予備のメモリアレイは、複数行により構成されているリダンダンシセルエリア202とリダンダンシ制御回路204を備えている。また、欠陥アドレスをリダンダンシ制御回路204に設定する際に必要な電圧や信号を生成するSVT発生回路203と基準電圧発生回路205を更に備

えている。

### 【0031】

メモリセルへのリード／ライト動作を含む通常動作については自明であり、説明を省略し、冗長回路におけるヒューズ破壊に関する事項のみを説明する。コマンドデコード共通回路208は、外部から入力される複数の信号線によって表されるコマンドを解釈して動作を決定し、ロウアドレス選択制御信号RAS、初期化信号PRE、リダンダンシイネーブル信号ENを含む動作に必要な内部信号を生成する。欠陥アドレスをリダンダンシ制御回路204に設定する場合に使用されるトリガ信号は、外部端子を有効に利用するため、通常動作時にクロック信号を入力する端子から入力し、タイミング信号CLKとして各部へ供給される。なお、符号CLKは、アンチヒューズ100を順番に絶縁破壊するために外部のテスト装置等から入力されるトリガ信号（タイミング信号）である。また、そのタイミング信号CLKとしては、内部で発生、生成された信号でもよい。

### 【0032】

ロウアドレスラッチ回路207は、ロウアドレスが有効であることを示すロウアドレス選択制御信号RASによって、外部から入力されるアドレス信号ADRをロウアドレスとして保持する。保持されたロウアドレスは、アドレス信号XADとして、リダンダンシ制御回路204とロウデコード206に供給される。なお、アドレス信号XADの各ビットを区別する場合はアドレス信号X1～Xnとする。

### 【0033】

リダンダンシ制御回路204は、ヒューズ破壊シーケンスにおいて、アドレスXADを欠陥アドレスとして、リダンダンシ制御回路204に備えられるアンチヒューズにプログラムする機能を有している。また、リダンダンシ制御回路204は、ヒューズイニシャライズシーケンスにおいて、プログラムされた不良ビットの位置を示す欠陥アドレスをラッチ回路に設定し、初期化する。リダンダンシ制御回路204は、通常動作であるリダンダンシ選択シーケンスにおいて、ロウアドレスラッチ回路207から入力されるアドレス信号XADと、メモリセルをアクセスすることを示すリダンダンシイネーブル信号ENが与えられると、リダ

リダンダンシセルエリア 202 を選択するか否かを示すリダンダンシ選択信号 RE を生成し、ロウデコーダ 206 に与える。

#### 【0034】

ロウデコーダ 206 は、ロウアドレスラッチ回路 207 から与えられるアドレス信号 XAD と、リダンダンシ制御回路 204 から与えられるリダンダンシ選択信号 RE に基づいて、メモリセルアレイ 201 とリダンダンシセルエリア 202 のアクセスするセルを指定する。

#### 【0035】

SVT 発生回路 203 は、デバイス内部の電源電圧を昇圧して、欠陥アドレスを保持するアンチヒューズの絶縁膜を絶縁破壊するための内部発生高電圧を生成し、リダンダンシ制御回路 204 に供給する。図 7 は、デバイス内部で高電位 SVT を発生させる SVT 発生回路 203 を示すブロック図である。SVT 発生回路 203 は、一般的なチャージポンプを用いた昇圧回路の構成であるから詳細な説明を省略する。

#### 【0036】

この SVT 発生回路 203 により生成された高電位 SVT は、図 2、図 4、図 5 の電圧印加回路 106 に与えられる。図 2 に示すように、リダンダンシヒューズ回路 102-0 ~ n の電圧印加回路 106 に供給される高電位 SVT は、他のリダンダンシヒューズ回路 102-0 ~ n の電圧印加回路 106 に供給される高電位と共通である。

#### 【0037】

基準電圧発生回路 205 は、アンチヒューズの絶縁膜が絶縁破壊されているか否かを判定する際の基準となる電圧の基準信号である VH、VH- を生成し、リダンダンシ制御回路 204 に供給する。

#### 【0038】

図 2 は、本実施形態に係るリダンダンシ制御回路 204 のうち 1 行のリダンダンシメモリセルアレイに相当する構成を示す図である。符号 EN は、そのリダンダンシヒューズ回路が使用されているか否かを示す信号であり、他のアドレス信号 X1 ~ Xn と同様の動作を行うため、以下の説明では特に区別する必要が無い場

合には、ENを含めて単にアドレス信号XADと表記する。また、アドレス信号XADによって表されるアドレス情報をアドレスXADと表記する。従って1行のリダダンシメモリセルアレイには、リダダンシヒューズ回路の使用を示す信号ENとアドレス信号X1～Xnに対応するn+1の複数のヒューズがある。m行のリダダンシメモリセルアレイの場合は、これらのm倍となるが、基本となる1行の動作からm行の動作も自明であろう。

#### 【0039】

リダダンシ制御回路204は、複数のリダダンシヒューズ回路102-0～nとタイミング設定回路101とを備えている。複数のリダダンシヒューズ回路102-0～nは、ロウアドレスラッチ回路207から入力されるアドレス信号XADの各ビットに対応して各々配置され、内蔵されるアンチヒューズ100を破壊したり破壊／未破壊の検出を行う。タイミング設定回路101は、ヒューズ破壊のタイミングを生成し、各々のリダダンシヒューズ回路102-0～nに供給する。

#### 【0040】

リダダンシヒューズ回路102-0～nは、各々アンチヒューズ100-0～n、破壊制御回路107-0～n、ヒューズラッチ回路108-0～n、アドレス比較回路109-0～n、電圧印加回路106-0～n、ヒューズ破壊設定回路105-0～nを含んでいる。各リダダンシヒューズ回路は、入力されるアドレスXADとタイミング設定回路からの入力A0～Anが異なるだけで同じ構成であり、総称する場合は添字を省略する。

#### 【0041】

ヒューズ破壊設定回路105は、アドレス信号XADの1ビットを入力し、そのビットがHighレベルのときに対応するアンチヒューズ100を絶縁破壊すべきと判断する。アンチヒューズを絶縁破壊する場合、タイミング設定回路101から与えられるタイミングで電圧印加回路106に出力する破壊設定信号VCを活性化する。

#### 【0042】

電圧印加回路106は、ヒューズ破壊設定回路105から入力される破壊設定

信号VCに基づいて、SVT発生回路203で生成した高電圧SVTをアンチヒューズ100（接点C）に加えることによってアンチヒューズ100をプログラミングする。

#### 【0043】

破壊制御回路107は、アンチヒューズ100の破壊／未破壊を判定するために、初期化信号PREの活性化したタイミングでアンチヒューズ100（接点B）に基準電圧VHを印加する。初期化信号PREが非活性状態では、アンチヒューズ100（接点C）を接地電位としてアンチヒューズのプログラミングに備える。

#### 【0044】

ヒューズラッチ回路108は、サンプリング信号SEのタイミングでアンチヒューズ100の破壊／未破壊の状態をサンプリングし、保持する。保持した破壊／未破壊の情報は、アンチヒューズ100が破壊状態であるときに活性化状態となる判定結果信号REDEとして出力する。アンチヒューズ100の破壊／未破壊の状態は、破壊制御回路107によってチャージされたアンチヒューズ100（接点B）の電位は、破壊／未破壊により変化し、その電位と基準電圧VHと比較することによって判定する。

#### 【0045】

アドレス比較回路109は、アドレス信号XADの1本（ENおよびアドレス信号X1～Xn）と、ヒューズラッチ回路108から入力する判定結果信号REDEとを比較し、比較結果を接点Aに出力する。接点Aは、各アドレス比較回路109の出力が接続されてワイヤードAND回路を構成し、リダンダンシ選択信号REを生成する。リダンダンシ選択信号REは、アドレス信号XADの全てのビットが、対応するヒューズの状態と一致したときに活性化し、不一致の場合は、非活性化状態になる信号である。

#### 【0046】

図3を参照してタイミング設定回路101の構成を説明する。図3は、タイミング設定回路101の構成を示すブロック図である。タイミング設定回路101は、ヒューズ破壊シーケンスを示す信号SVTEと、タイミング信号CLKを入

力し、アンチヒューズ100を破壊するタイミングを示す破壊タイミング信号A0～Anを生成して出力する回路である。タイミング設定回路101は、シフタ12-0～12-n、15と、AND回路14-0～14-nとインバータ13-0～13-nとを備え、シフタ12、AND回路14、インバータ13が一段分のタイミング回路11の動作を行い、(n+1)段分ある。また、シフタ15は、その前段の回路に与える信号を生成する終端の機能を行うものであるが、タイミング信号CLKのパルス数を必要以上に供給しないように外部で制御されている場合などには、特に設ける必要はない。また、複数行あるリダダンシセルエリア202の他の行に対応するタイミング設定回路101が直列に接続される場合は、接続される次のタイミング設定回路101から前段に与える信号を受けることになり、シフタ15はその最終段に設けるだけでよい。あるシフタ12-0～12-n、シフタ15は、入力した信号をクロックに同期させて出力するシフト動作でクロックのパルス数を計数するものである。

#### 【0047】

1段目のタイミング回路11-0は、ヒューズ破壊シーケンスを示す信号SVTEを入力としてタイミング信号CLKに基づいてシフト動作を行い、出力信号SH0を次段へ出力するとともにAND回路14-0に与える。インバータ13-0は、次段のシフタ12-1の出力SH1が非活性のときに活性化する信号をAND回路14-0に与える。AND回路14-0は、シフタ12-0の出力SH0と、インバータ13-0から出力される次段シフタの出力が非活性のときに活性化する信号と、タイミング信号CLKが活性化(Highレベル)しているときに破壊タイミング信号A0を活性化させる。2段目以降のタイミング回路11は、信号SVTEの代わりに前段出力信号SHを入力し、同様に破壊タイミング信号Aを活性化させる。

#### 【0048】

ヒューズ破壊設定回路105は、図4に示すように、AND回路を備えている。アドレス信号XADは、その各ビットがそれぞれアンチヒューズ100を破壊すべきか否かを示しており、タイミング設定回路101から出力される破壊タイミング信号A0～Anは、破壊するタイミングを示している。よって、ヒューズ

設定回路 105 は、それぞれのビットに対応するアンチヒューズ 100 を破壊すべき場合に、そのビットに対応するタイミングで破壊設定信号 VC を活性化することになる。

#### 【0049】

電圧印加回路 106 は、図 5 に示すように、インバータ 41 と、n チャンネルトランジスタ 31、32、33 と、p チャンネルトランジスタ 21、22 とを備えている。アンチヒューズ 100 を破壊するとき、初期化信号 PRE は非活性になっている。よって接点 C の電位は、破壊設定信号 VC が活性化すると SVT の電位、非活性のとき接地電位となる。

#### 【0050】

p チャンネルトランジスタ 21、22 と n チャンネルトランジスタ 31、32 は、破壊設定信号 VC により制御されて接点 C にアンチヒューズ 100 をプログラミングする高電圧 SVT を印加、またはグランドレベルを印加するスイッチ回路となっている。インバータ 41 は、n チャンネルトランジスタ 32 のゲートに n チャンネルトランジスタ 31 のゲートに入力する破壊設定信号 VC の反転信号を入力し、対となる動作をさせている。

#### 【0051】

電圧印加回路 106 によってアンチヒューズ 100 をプログラミングするヒューズ破壊シーケンスでは、初期化信号 PRE が非活性化状態であり、n チャンネルトランジスタ 33 は ON 状態になっている。破壊設定信号 VC が High レベルのとき、n チャンネルトランジスタ 31 は ON 状態、n チャンネルトランジスタ 32 は OFF 状態となるため、p チャンネルトランジスタ 21 は OFF 状態、p チャンネルトランジスタ 22 は ON 状態になり、接点 C には高電圧 SVT が印加される。破壊設定信号 VC が Low レベルのとき、n チャンネルトランジスタ 31 は OFF 状態、n チャンネルトランジスタ 32 は ON 状態となるため、p チャンネルトランジスタ 21 は ON 状態、p チャンネルトランジスタ 22 は OFF 状態になり、接点 C は、グランドレベルとなる。このように電圧印加回路 106 は、入力される破壊設定信号 VC によって制御されたタイミングでアンチヒューズ 100 に対して高電圧 SVT が印加される回路となっている。

## 【0052】

破壊制御回路107は、図5に示すように、インバータ42、NOR回路44、nチャネルトランジスタ34、pチャネルトランジスタ23、ディレイ回路47を備えている。ディレイ回路47とNOR回路44は、初期化信号PREのパルス幅をそのディレイ値分だけ伸ばした反転信号をnチャネルトランジスタ34のゲートに加え、その間nチャネルトランジスタ34をOFF状態にする。nチャネルトランジスタ34は、ON状態のときに接点Bの電位をグラウンドレベルとし、OFF状態のときに接点Bの電位をpチャネルトランジスタ23のドレインの電位で与える働きをする。

## 【0053】

pチャネルトランジスタ23は、初期化信号PREをインバータ42により反転した信号がゲートに印加され、初期化信号PREが活性化している間だけソースに入力している基準電圧VHをドレインに出力し、接点Bを電位VHにする。

## 【0054】

ヒューズラッチ回路108は、図5に示すように、AND回路45、46によるラッチ回路49と、インバータ43と、pチャネルトランジスタ24、25、26、27と、nチャネルトランジスタ35、36、37、38、39とを備える。pチャネルトランジスタ26、27と、nチャネルトランジスタ35、36、37、38は、差動入力を持つ、接点Bの電位と基準電圧VH-を比較するセンスアンプ48である。pチャネルトランジスタ24、25と、nチャネルトランジスタ39は、サンプリング信号SEで制御され、ヒューズラッチ回路の動作をコントロールする。

## 【0055】

サンプリング信号SEが活性化すると、nチャネルトランジスタ39はON状態、pチャネルトランジスタ24、25はOFF状態になってセンスアンプ48の動作を活性化し、サンプリング信号SEが非活性になると、nチャネルトランジスタ39はOFF状態、pチャネルトランジスタ24、25はON状態になってセンスアンプ48の動作を止め、ラッチ回路49の2本の入力はともにHighレベルとなり、検出状態を保持するように機能する。インバータ43は、ラッ

チ回路 49 の出力を反転し、判定結果信号 R E D E とする。このように、ヒューズラッチ回路 108 は、アンチヒューズ 100 の接点 B における電位をサンプリング信号 S E のタイミングで測定することにより、その破壊／未破壊の状態を保持する回路となっている。

#### 【0056】

アドレス比較回路 109 は、図 6 に示すようにインバータ 51、52 と、n チャネルトランジスタ 56、57、58、59 と、p チャネルトランジスタ 53、54、55 を有している。n チャネルトランジスタ 56 と p チャネルトランジスタ 55 とで構成されたスイッチ回路 60 は、判定結果信号 R E D E が活性化すると ON 状態となり、非活性化時に OFF 状態となる。

#### 【0057】

アドレス信号 X は、インバータ 51 に入力され、反転した出力信号がスイッチ回路 60 に入力するとともに、n チャネルトランジスタ 57、p チャネルトランジスタ 54 のゲートに与えられる。スイッチ回路 60 の出力は、n チャネルトランジスタ 57、p チャネルトランジスタ 54 のドレインに接続され、n チャネルトランジスタ 59 のゲートに接続される。n チャネルトランジスタ 59 のドレインは、アドレス比較回路 109 の出力として接点 A に接続され、ソースは、接地されている。判定結果信号 R E D E は、インバータ 52、スイッチ回路 60 の n チャネルトランジスタ 56 のゲート、p チャネルトランジスタ 53 のゲートに入力される。また、インバータ 52 の出力である判定結果信号 R E D E の反転した信号は、スイッチ回路 60 の p チャネルトランジスタ 55 のゲート、n チャネルトランジスタ 58 のゲートに入力される。p チャネルトランジスタ 53 のソースは、電源に接続され、ドレインは p チャネルトランジスタ 54 のソースに接続される。n チャネルトランジスタ 58 のソースは、接地され、ドレインは n チャネルトランジスタ 57 のソースに接続される。

#### 【0058】

アドレス比較回路 109 の動作は、判定結果信号 R E D E の活性化状態により 2 通りになる。判定結果信号 R E D E が H i g h レベルの場合、即ち、アンチヒューズ 100 が破壊の場合、スイッチ回路 60 は ON 状態となり、p チャネルト

ランジスタ53とnチャネルトランジスタ58はOFF状態となる。この場合、スイッチ回路60は、インバータ51の出力の状態をnチャネルトランジスタ59のゲートに伝達し、アドレス信号XがHighレベルの場合にnチャネルトランジスタ59のゲートはLowレベルとなり、アドレス信号XがLowレベルの場合にnチャネルトランジスタ59のゲートはHighレベルとなる。nチャネルトランジスタ59はインバータの働きをするので、アドレス比較回路109の出力は、nチャネルトランジスタ59のゲートの電圧レベルを反転したものとなり、アドレス信号Xと同じレベルの信号が現れる。つまり、判定結果信号REDEとアドレス信号Xが同相とともにHighレベルの場合、アドレス比較回路109の出力はHighレベルとなり、逆相の場合にLowレベルとなる。

#### 【0059】

判定結果信号REDEがLowレベルの場合、即ち、アンチヒューズ100が未破壊の場合、スイッチ回路60はOFF状態となり、pチャネルトランジスタ53とnチャネルトランジスタ58はともにON状態となる。この場合、pチャネルトランジスタ54とnチャネルトランジスタ57の状態によってnチャネルトランジスタ59のゲートの電圧レベルが決定される。アドレス信号Xは、インバータ51によって反転されてpチャネルトランジスタ54とnチャネルトランジスタ57のゲートに入力する。

#### 【0060】

アドレス信号XがLowレベルの場合、インバータ51の出力はHighレベルとなり、nチャネルトランジスタ57はON状態、pチャネルトランジスタ54はOFF状態となるため、nチャネルトランジスタ59のゲートはLowレベルとなる。アドレス信号XがHighレベルの場合、インバータ51の出力はLowレベルとなり、pチャネルトランジスタ54はON状態、nチャネルトランジスタ57はOFF状態となるため、nチャネルトランジスタ59のゲートはHighレベルとなる。nチャネルトランジスタ59は、インバータの働きをするのでアドレス比較回路109の出力は、nチャネルトランジスタ59のゲートの電圧レベルを反転したものとなり、アドレス信号Xを反転したレベルの信号が現れる。つまり、判定結果信号REDEとアドレス信号Xが同相とともにLowレ

ベルの場合、アドレス比較回路109の出力はH i g hレベルとなり、逆相の場合にL o wレベルとなる。

#### 【0061】

したがって、アドレス比較回路109の出力は、アドレス信号Xと判定結果信号R E D Eが同相の場合はH i g hレベル、逆相の場合はL o wレベルの信号が出力されることになる。リダンダンシ制御回路204の全てのアドレス比較回路109が、H i g hレベルを出力したときのみ接点Aは、H i g hレベルとなる。よって、接点AがH i g hレベルのときは、ヒューズラッチ回路108で保持しているアドレスと、入力されたアドレス信号X A Dで示されるアドレスが一致したことを示すことになる。このとき、リダンダンシ選択信号R Eが活性化する。

#### 【0062】

このように、入力されたアドレス信号X A Dと、ヒューズラッチ回路108でラッチされているデータとがそれぞれ全て一致した場合には、その入力されたアドレス信号X A Dは欠陥アドレスである。欠陥アドレスであると判断された場合には、ロウデコーダ206は、メモリセルアレイ201の不良メモリセルが選択されないようにするとともに、リダンダンシセルエリア202のセルを選択する（リダンダンシ動作）。

#### 【0063】

本実施の形態におけるリダンダンシ制御回路204の動作を、図8から図10を参照して説明する。

#### 【0064】

図8に示されるタイミングチャートは、タイミング設定回路101の動作を示す。タイミング設定回路101にヒューズ破壊シーケンスを示す信号S V T Eが入力される。シフト12-0にタイミング信号C L Kが与えられると、シフト12-0の出力S H 0が活性化し（t a）、次段のシフト12-1に出力されるとともに、AND回路14-0に入力される。そのとき、次段のシフト12-1は、活性化していないので、インバータ13-0の出力は、活性化している。タイミング信号C L Kも活性化しているので、AND回路14-0の出力A 0は、活

性化する (t b)。タイミング信号 CLK が非活性 (Low レベル) になると、AND 回路 14-0 の出力 A 0 は非活性となる (t c)。

#### 【0065】

次にタイミング信号 CLK が活性化すると、シフト 12-0 の出力 SH 0 が活性化しているので、シフト 12-1 の出力 SH 1 が活性化し (t d)、次段のシフト 12-2 に出力されるとともに、AND 回路 14-1 に入力される。シフト 12-1 の出力 SH 1 が活性化したので、インバータ 13-0 によって反転された信号が AND 回路 14-0 に入力され、出力 SH 1 が活性化している間 AND 回路 14-0 の出力 A 0 は、活性化しなくなる。そのとき次段のシフト 12-2 は、活性化していないので、インバータ 13-1 の出力は、活性化している。タイミング信号 CLK も活性化しているので、AND 回路 14-1 の出力 A 1 は、活性化する (t e)。タイミング信号 CLK が非活性 (Low レベル) になると、AND 回路 14-1 の出力 A 1 は非活性となる (t f)。

#### 【0066】

このようにタイミング設定回路 101 は、破壊タイミング信号 A 0 ~ A n を順次出力していく。最終段のシフト 12-n の出力 SH n が活性化すると (t g)、AND 回路 14-n の出力 A n が活性化し (t h)、タイミング信号 CLK が非活性になると、出力 A n も非活性になる (t i)。次にタイミング信号 CLK が活性化しても、シフト 15 の出力 SH (n+1) が活性化するため、出力 A n は、活性化しなくなる (t j)。

#### 【0067】

上記のようにタイミング設定回路 101 は、タイミング信号 CLK に応答してアンチヒューズ 100 を破壊するタイミングを示す破壊タイミング信号 A 0 ~ A n を順次活性化させ、リダンダンシヒューズ回路 102-0 ~ n に与えることになる。

#### 【0068】

図 9 を参照して、本実施形態におけるヒューズ破壊シーケンスの動作である、ヒューズ破壊設定回路 105 と電圧印加回路 106 によるアンチヒューズ 100 を 1 本ずつ絶縁破壊する方法について説明する。図 9 は、その動作を示すタイミ

ングチャートである。ヒューズ破壊シーケンスを示す信号SVTEが活性化し、欠陥アドレスがアドレス信号XADによって入力される。アドレス入力の時期は、コマンドデコード共通回路208によって決められ、ここでは、ヒューズ破壊シーケンスが開始されてから入力するものとした。

#### 【0069】

タイミング設定回路101から出力された破壊タイミング信号A0～Anは、タイミング信号CLKに応答して順次活性化する。アドレス信号XADがHighレベルとなっているビットに対応する破壊設定信号VC、ここでは、ENとX2に対応する破壊設定信号VC0とVC2が活性化し、他の破壊設定信号VCはそのタイミングになっても活性化しない（破線）。よって、破壊設定信号VC0とVC2に対応するアンチヒューズ100が1本ずつ絶縁破壊されることになる。

#### 【0070】

図10は、イニシャライズ動作を示すフローチャートである。破壊制御回路107とヒューズラッチ回路108が、アンチヒューズ100の破壊／未破壊状態をサンプリングして保持する。サンプリング動作は、まず、アンチヒューズ100の接点Bに電位を与え、その後、アンチヒューズ100の破壊／未破壊によって接点Bの電位が変動し、電位の変動を判定できるレベルとなった時点でその結果をラッチ回路49に保持する経過をたどる。

#### 【0071】

サンプリングする時期は、例えば、デバイスに電源が投入された直後などのヒューズイニシャライズシーケンスであり、破壊設定信号VCは非活性となっているため、電圧印加回路106のnチャネルトランジスタ32はON状態となっている。よって、アンチヒューズ100の接点Cの電位は、初期化信号PREの反転信号PREB1によって制御されるnチャネルトランジスタ33によってコントロールされる。

#### 【0072】

初期化信号PREがHighレベルになると（t1）、信号PREB1と信号PREB2はLowレベルになり、nチャネルトランジスタ33、34はOFF

状態、pチャネルトランジスタ23はON状態となる。接点Bは、pチャネルトランジスタ23を通して基準電圧V<sub>H</sub>にチャージされる(t<sub>4</sub>)。アンチヒューズ100を充分チャージしたのち初期化信号PREがLowレベルになると(t<sub>2</sub>)、信号PREB1は、Highレベルとなり、pチャネルトランジスタ23をOFF状態にするとともに、nチャネルトランジスタ33をON状態にし、接点Cをグラウンドレベルにする。このとき、nチャネルトランジスタ34は、ディレイ回路47で遅延させた時間だけOFF状態が続き、接点Bの電位に影響を与えない。

#### 【0073】

アンチヒューズ100が絶縁破壊されていない場合(実線)、アンチヒューズ100はコンデンサとして機能するため、接点Bの電位は暫くの間維持される。アンチヒューズ100が絶縁破壊されている場合(破線)、アンチヒューズ100はある抵抗値を持つ導体として機能し、接点C、nチャネルトランジスタ32、nチャネルトランジスタ33を通して放電するため、接点Bの電位は低下する。放電が進んだ時点でサンプリング信号SEをHighレベルとする(t<sub>3</sub>)。サンプリング信号SEがHighレベルになると、nチャネルトランジスタ39がON状態となるとともにpチャネルトランジスタ24、25がOFF状態となって、センスアンプ48が機能始める。

#### 【0074】

センスアンプ48の一方の入力には、基準電位V<sub>H</sub>に充電されたアンチヒューズ100の接点Bの電位が、もう一方の入力には、基準電位V<sub>H</sub>よりも少し低い基準電位V<sub>H</sub>-が与えられる。電位V<sub>H</sub>と電位V<sub>H</sub>-との差電位は、センスアンプ48で検出可能な電位であり、0.1~0.2Vである。図10に示すように、アンチヒューズ100が絶縁破壊されており接点Bの電位がグラウンドレベルである場合には、接点Bの電位は電位V<sub>H</sub>-を下回り、NAND回路45にはHighレベル、NAND回路46にはLowレベルが入力される。反対に、アンチヒューズ100が絶縁破壊されておらず接点Bの電位がV<sub>H</sub>である場合には、接点Bの電位は電位V<sub>H</sub>-を上回り、NAND回路45にはLowレベル、NAND回路46にはHighレベルが入力される。即ち、アンチヒューズ100の状

態によって、センスアンプ48で検出した差電位の値は正負が逆転する。これにより、センスアンプ48は、アンチヒューズ100が破壊されているか否かを判定することができる。

#### 【0075】

ラッチ回路49は、センスアンプ48の出力を保持し、インバータ43によって反転した判定結果信号REDEを出力する。よってセンスアンプ48でアンチヒューズ100が破壊されていると判定された場合には、判定結果信号REDEは、Highレベルとなる。反対に、センスアンプ48でアンチヒューズ100が破壊されていないと判定された場合には、判定結果信号REDEは、Lowレベルとなる。

#### 【0076】

以上のように、本実施形態では、ヒューズ破壊シーケンスにおいて複数のアンチヒューズを1本ずつ破壊することが行われる。また、ヒューズイニシャライズシーケンスにおいてアンチヒューズの破壊／未破壊の状態をラッチ回路に設定することが行われ、リダンダンシ選択シーケンスにおいて欠陥アドレスにアクセスした場合には不良メモリセルが選択されないようにリダンダンシ選択することが行われる。

#### 【0077】

図11は、第1実施形態の第1変形例のタイミングチャートである。変形例では、タイミング設定回路101は、図3と同じ構成が採用される。図3のシフタ12-0～12-n、15は、それぞれ入力した信号をクロックに同期させて出力するシフト動作でクロックのパルス数を計数するもので、上記第1実施形態では1クロックで出力するシフト動作を行うものであった。変形例では、2クロック以上のクロックで出力するシフタとすることによって、そのクロック数分のアンチヒューズ100をプログラムするパルスを生成することができる。複数回プログラムする高電圧を印加することにより確実にアンチヒューズ100を絶縁破壊することが可能となる。図11では、シフタは、2クロックでシフト出力する場合を示している。

#### 【0078】

タイミング設定回路 101 にヒューズ破壊シーケンスを示す信号 SVTE が入力される。シフタ 12-0 にタイミング信号 CLK の 2 個目のパルスが入力すると、シフタ 12-0 の出力 SH0 が活性化し (t a)、次段のシフタ 12-1 に出力されるとともに、AND 回路 14-0 に入力される。そのとき次段のシフタ 12-1 は、活性化していないので、インバータ 13-0 の出力は、活性化している。タイミング信号 CLK が活性化している間、AND 回路 14-0 の出力 A0 は、活性化する (t b)。タイミング信号 CLK の 3 個目のパルスが入力すると、次段のシフタ 12-1 は、1 クロック目のシフトの状態であり、その出力 SH1 は非活性であるため、出力 A0 は、2 個目のパルス入力時と同様にタイミング信号 CLK が活性化している間、活性化する (t c)。タイミング信号 CLK の 4 個目のパルスが入力すると、次段のシフタ 12-1 は出力 SH1 を活性化し (t d)、タイミング信号 CLK が活性化している間出力 A1 を活性化する (t e)。次段のシフタ 12-1 の出力 SH1 が活性化するので、AND 回路 14-0 の出力 A0 は活性化しない。

#### 【0079】

同様に、タイミング信号 CLK の 5 個目のパルスが入力すると、出力 A1 は活性化し (t f) する。この動作をシフタ 12-n まで順次繰り返し、シフタ 12-n の出力 SHn が活性化し、出力 An がタイミング信号 CLK の活性化に合わせて活性化する (t h、t i)。タイミング信号 CLK の (2n+3) 個目のパルスが入力すると、シフタ 15 の出力 SH (n+1) が活性化し、その前段の AND 回路 14-n を抑制するため、その後の出力 An は活性化しない (t j)。

#### 【0080】

上記のように第 1 実施形態の第 1 変形例のタイミング設定回路 101 は、タイミング信号 CLK に応答してアンチヒューズ 100 を破壊するタイミングを示す破壊タイミング信号 A0 ~ An に複数個のパルスを順次発生させ、リダンダンシヒューズ回路 102-0 ~ n に与えることになる。リダンダンシヒューズ回路 102-0 ~ n に与えられた信号によって、アンチヒューズ 100 に複数個のプログラムするための高電圧 SVT が印加されることになり、アンチヒューズ 100 の確実なプログラムが可能となる。

**【0081】**

次に、図12～図14を参照して、第2実施形態について説明する。上記において、第1実施形態と同じ構成要素については、同じ符号を付してその詳細な説明を省略する。

**【0082】**

あるアンチヒューズ100（ここではアンチヒューズ100-0とする）を絶縁破壊した直後に電位SVTの電位がレベルダウンし、その電位SVTがレベルダウンした状態のまま、次のアンチヒューズ100（ここではアンチヒューズ100-1とする）が絶縁破壊されるべく、その電位SVTがアンチヒューズ100-1に印加されると、アンチヒューズ100-1が絶縁破壊されないおそれがある。そこで、第2実施形態では、あるアンチヒューズ100を絶縁破壊した後にレベルダウンした電位SVTが基準レベルを超える（回復する）までは、次に絶縁破壊すべきアンチヒューズ100にその電位が印加されないようにしている。

**【0083】**

図12に示すように、電位SVTは、レベル検知回路121の抵抗R1、R2にて分圧され、その分圧されてなる電位が基準電位VREFと比較される。その分圧されてなる電位（SVT' と記す）が基準電位VREF（図14のSVT基準レベル）を上回ったときに、信号SVTUPがLowレベルになる（図14参照）。そのLowレベルの期間がアンチヒューズ100に高電圧SVTを印加可能な期間である。信号SVTUPの反転信号とタイミング信号CLKと論理積をとったタイミング信号CLK1と、タイミング信号CLKと同期するタイミング信号CLK2に基づいて、アンチヒューズ100に電位SVTが印加される。これらのタイミング信号を入力するタイミング設定回路101は、図13に示すようにAND回路14に入力するタイミング信号をCLKA、シフタ12、15に入力するタイミング信号をCLKBと分離した構成になっている。

**【0084】**

タイミング設定回路101のCLKAにタイミング信号CLK1を、CLKBにタイミング信号CLK2を入力すると、タイミング信号CLK1は、シフタ1

2、15に入力されるため、タイミング信号CLK1の入力タイミング応じて、順次、信号SH00、SH01、SH02…を活性化していく。タイミング信号CLK2は、AND回路14に入力されるため、タイミング信号CLK2の入力タイミングで破壊タイミング信号A0、A1…が出力される。これにより、分圧電位SVT'が基準電位VREFを上回るまでは、電位SVTがアンチヒューズ100に印加されることは無く、確実にアンチヒューズ100を破壊することができる。また、アンチヒューズ100に高電圧SVTの印加が行われない場合は、高電圧SVTの電位低下も起きない。

#### 【0085】

タイミング信号CLKを電位SVTが充分回復する周期で与えた場合、図14に示すように、タイミング信号CLKの1パルスに1回アンチヒューズ100に高電圧SVTの印加が行われる。

#### 【0086】

図15は、第2実施形態の第1変形例のタイミングチャートである。第1変形例では、第2実施形態と同じく、タイミング設定回路101のCLKAにタイミング信号CLK1を、CLKBにタイミング信号CLK2を入力する。図15に示すように、アンチヒューズ破壊後、電位SVT'が基準電位VREFを超えるまでの期間がタイミング信号CLKの活性化期間の半分以下と短い場合、電位SVT'が基準電位VREFを超えた時点でタイミング信号CLK1は活性化し、即座に電位SVTがアンチヒューズ100に印加される。同じクロック内で同じアンチヒューズに対して複数回高電圧を印加することになり、より確実にアンチヒューズを絶縁破壊できることになる。

#### 【0087】

図16は、第2実施形態の第2変形例のタイミングチャートである。第2変形例は、タイミング設定回路101のCLKAとCLKBにタイミング信号CLK1を入力する構成となる。図16に示すように、絶縁破壊後、電位SVT'が基準電位VREFを超えるまでの期間がタイミング信号CLKの周期よりも長い場合には、タイミング信号CLK1に同期して次のアンチヒューズ100に電位SVTを印加する。このように、電位SVT'が基準電位VREFを超えるまでの

期間がタイミング信号CLKの周期よりも長い場合には、タイミング信号CLK 2でシフト12を進めていくと、電位SVT'が基準電位VREF未満のときの電位SVTがアンチヒューズ100に印加され、絶縁破壊されないことがあるため、タイミング信号CLK1に基づいて、シフトを進める。

#### 【0088】

上記第1および第2実施形態では、1本のアンチヒューズ100ごとに高電圧SVTが印加される構成とされていたが、本発明では、1本に限定されるものではなく、例えば、同時に2本（又は3本以上）ずつのアンチヒューズ20に高電圧SVTが印加されることことができる。

#### 【0089】

図17は、第3実施形態のヒューズ破壊設定回路105とタイミング設定回路101の接続関係を示すブロック図である。タイミング設定回路101の出力を2個のヒューズ破壊設定回路105に与えることにより、アンチヒューズ100を同時にプログラムすることが可能となる。この場合、プログラム用高電圧SVTを生成するSVT発生回路203が、その2本のアンチヒューズ100をプログラミングできるだけの電流容量を持つことが必要である。同時にプログラミングすることによって、プログラミングする時間を大幅に短縮できる利点がある。図17においては、タイミング設定回路101からの出力を2個のヒューズ破壊設定回路105に与えたが、m個のヒューズ破壊設定回路105に与えることによりm個のアンチヒューズをプログラムすることができる。

#### 【0090】

従来は、欠陥アドレスに対応して絶縁破壊すべき複数のアンチヒューズ100の全てに対して同時に高電圧SVTが印加されていた。そのため、他よりも先に絶縁破壊されるアンチヒューズ100がリーク源となって、他のアンチヒューズ100に印加されている電圧のレベルが低下する現象が発生する可能性（他よりも1本だけ先に絶縁破壊されてリーク源となるアンチヒューズ100が発生する可能性）が確率的に高かった。

#### 【0091】

これに対して、本発明では、欠陥アドレスに対応して破壊すべきアンチヒュー

ズ100の数よりも少ない数(1を含む)のアンチヒューズ100に対して同時に高電圧SVTが印加されるため、従来に比してリーク源が発生する可能性が相対的に低く、より確実にアンチヒューズ100を破壊することができる。

#### 【0092】

以上はプログラム素子としてアンチヒューズを使用して説明した。プログラム素子としてメタルヒューズを採用した場合は、メタルヒューズに電圧印加してプログラムすると、メタルヒューズは非導通となり、アンチヒューズと逆の極性となる。従って、複数のメタルヒューズを破壊するための電圧印加すると、各メタルヒューズに電流が分流し、SVT発生回路の電流供給能力が不足して電圧が低下する。このような場合にも、本願が適用できることは自明である。

#### 【0093】

##### 【発明の効果】

本発明のリダンダンシ制御回路によれば、外部信号に同期させ、プログラム素子を複数回に分けてプログラムすることにより、プログラム素子をより確実にプログラムすることができる。

#### 【0094】

本発明のリダンダンシ制御回路によれば、ターゲットのアンチヒューズが絶縁破壊するまでプログラムするための高電圧をかけ続けることが可能となり、プログラムするための高電圧発生回路の電流容量が限られていても、アンチヒューズを確実に絶縁破壊することができる。

##### 【図面の簡単な説明】

【図1】 リダンダンシメモリ回路を備えた半導体記憶装置の全体構成を示すブロック図である。

【図2】 第1の実施の形態に係るリダンダンシ制御回路の構成を示すブロック図である。

【図3】 同タイミング設定回路の構成を示すブロック図である。

【図4】 同ヒューズ破壊設定回路とタイミング設定回路と電圧印加回路の関係を示すブロック図である。

【図5】 同電圧印加回路と破壊制御回路とヒューズラッチ回路の構成を示

すブロック図である。

【図 6】 同アドレス比較回路の構成を示すブロック図である。

【図 7】 同高電位 S V T を発生させる S V T 発生回路を示すブロック図である。

【図 8】 同タイミング設定回路の動作を示すタイミングチャートである。

【図 9】 同アンチヒューズをプログラムする動作を示すタイミングチャートである。

【図 10】 同イニシャライズ動作を示すタイミングチャートである。

【図 11】 第 1 の実施の形態の第 1 変形例に係るタイミング設定回路の動作を示すタイミングチャートである。

【図 12】 同レベル検知回路の構成と他の回路との接続関係を示すブロック図である。

【図 13】 第 2 の実施の形態に係るタイミング設定回路の構成を示すブロック図である。

【図 14】 同アンチヒューズをプログラムする動作を示すタイミングチャートである。

【図 15】 第 2 の実施の形態の第 1 変形例の同アンチヒューズをプログラムする動作を示すタイミングチャートである。

【図 16】 第 2 の実施の形態の第 2 変形例の同アンチヒューズをプログラムする動作を示すタイミングチャートである。

【図 17】 第 3 の実施の形態に係るヒューズ破壊設定回路とタイミング設定回路と電圧印加回路の関係を示すブロック図である。

#### 【符号の説明】

11、11-0～11-n タイミング回路

12、12-0～12-n シフタ

13、13-0～13-n インバータ

14、14-0～14-n AND回路

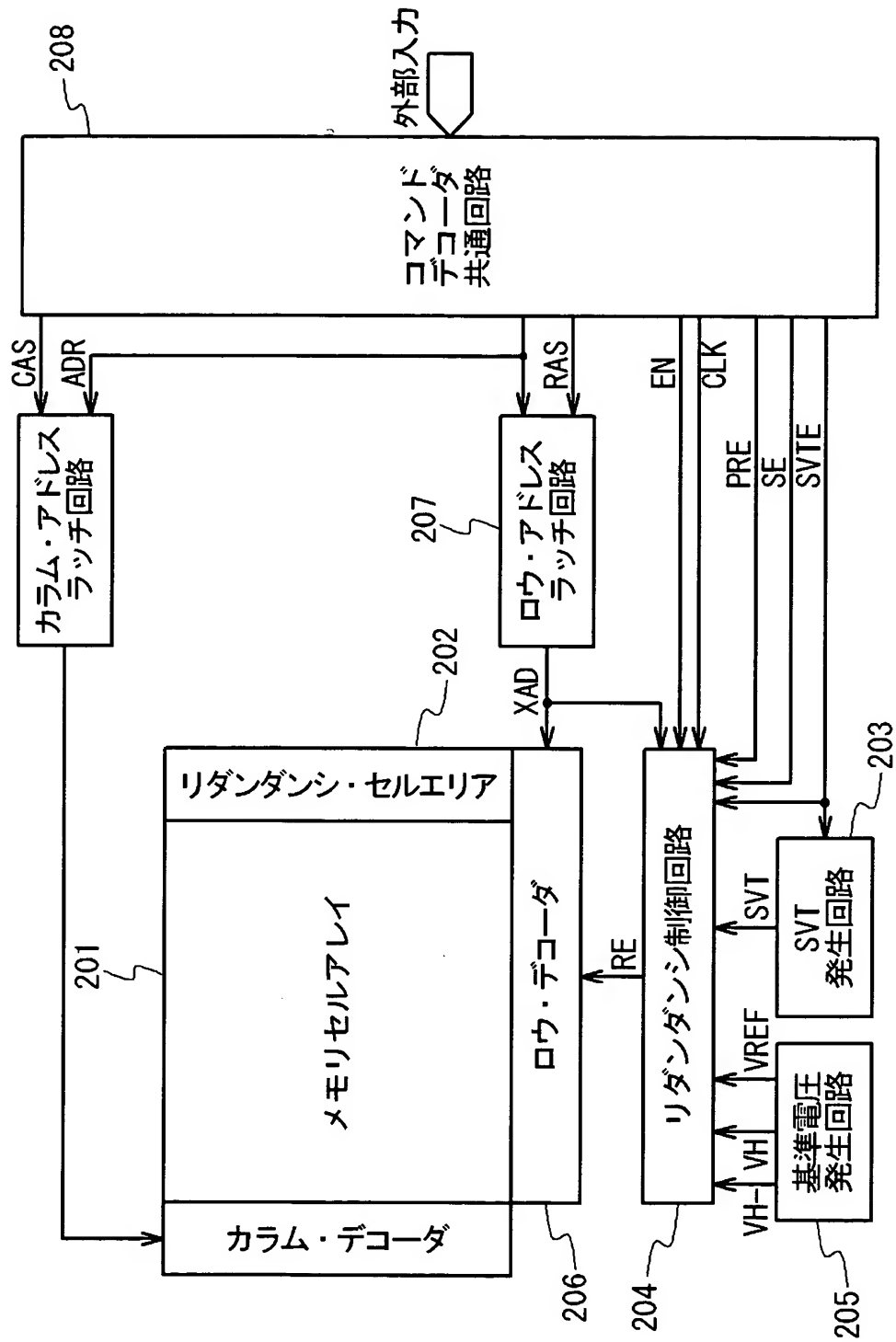
15 シフタ

21～27 pチャンネルトランジスタ

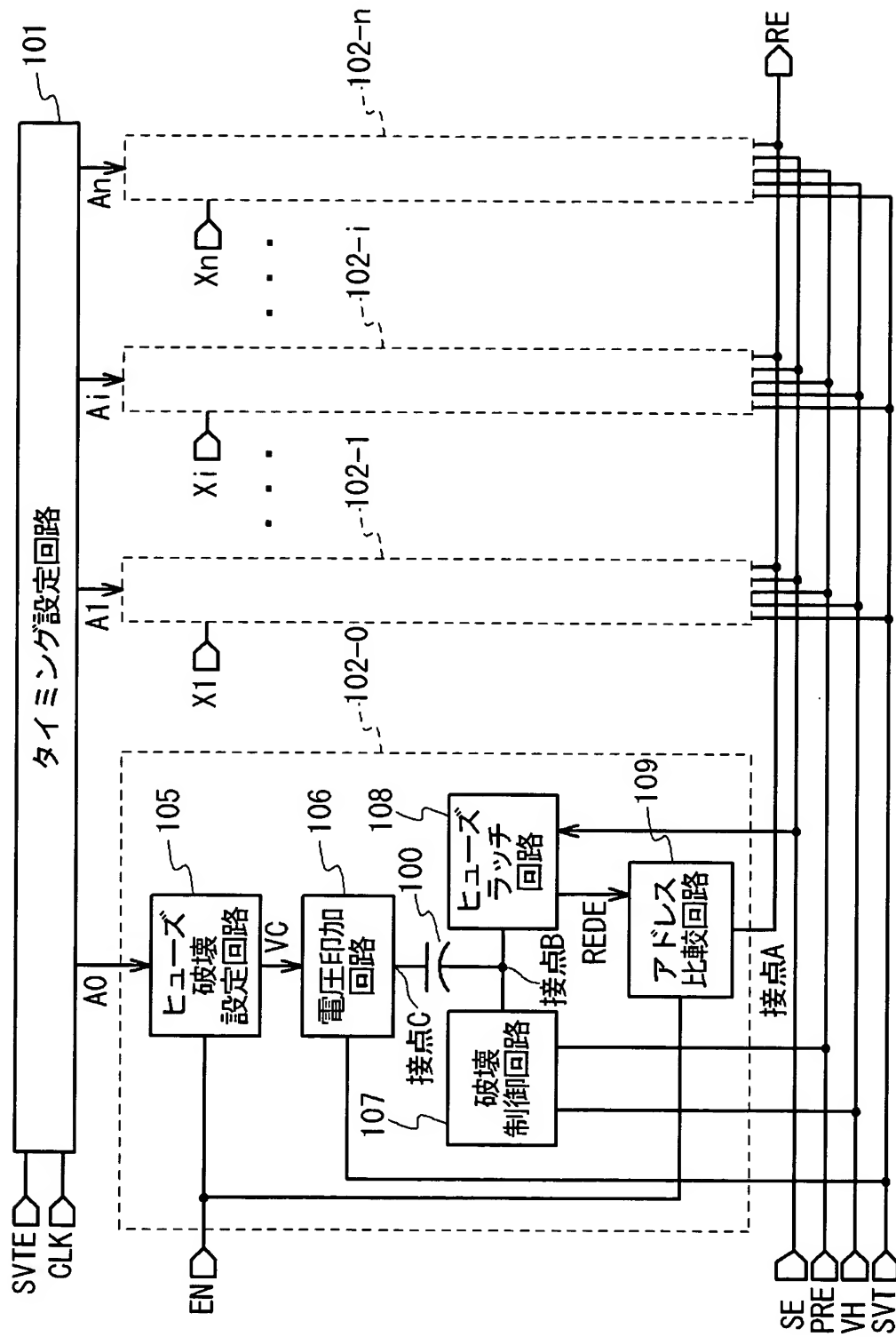
31～39 nチャネルトランジスタ  
41～43 インバータ  
44 NOR回路  
45、46 NAND回路  
47 ディレイ回路  
48 センスアンプ  
49 ラッチ回路  
51、52 インバータ  
53～55 pチャネルトランジスタ  
56～59 nチャネルトランジスタ  
60 スイッチ回路  
100、100-0～100-n プログラム素子 (アンチヒューズ)  
101 タイミング設定回路  
102-0～n リダンダンシヒューズ回路  
105、105-0～105-n ヒューズ破壊設定回路  
106、106-0～106-n 電圧印加回路  
107 破壊制御回路  
108 ヒューズラッチ回路  
109 アドレス比較回路  
121 レベル比較回路  
201 メモリセルアレイ  
202 リダンダンシセルエリア  
203 SVT発生回路  
204 リダンダンシ制御回路  
205 基準電圧発生回路  
206 ロウデコーダ  
207 ロウアドレスラッチ回路  
208 コマンドデコーダ共通回路

【書類名】 図面

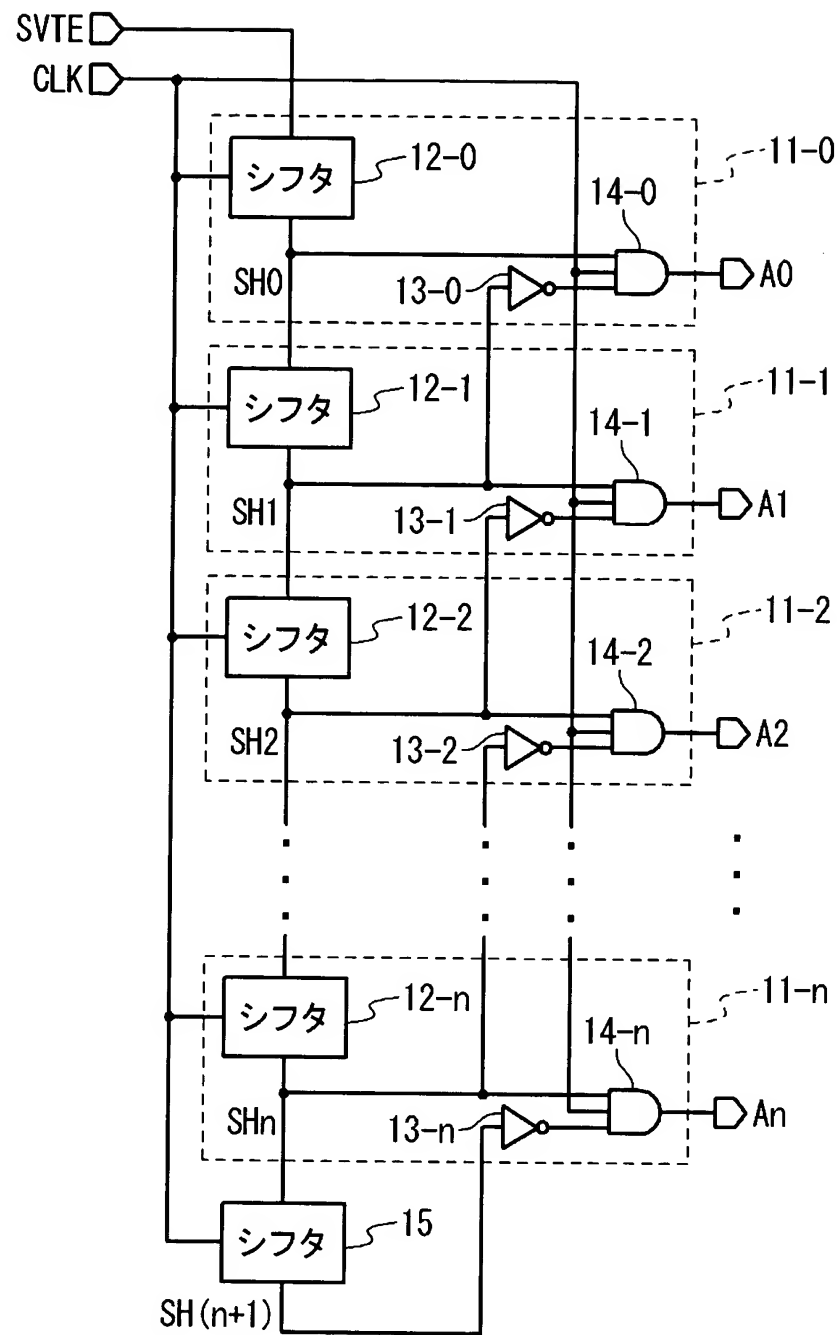
【図 1】



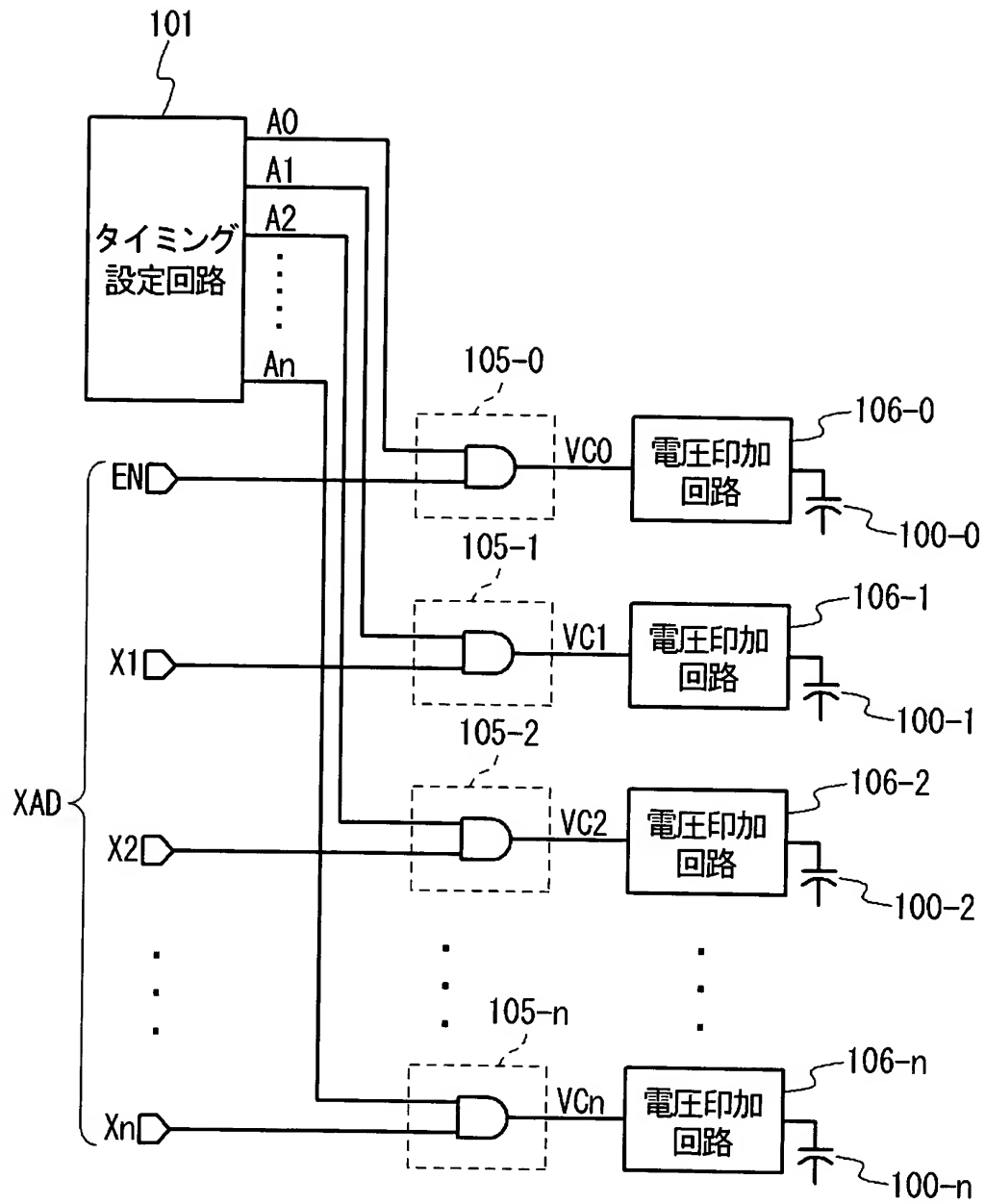
【図2】



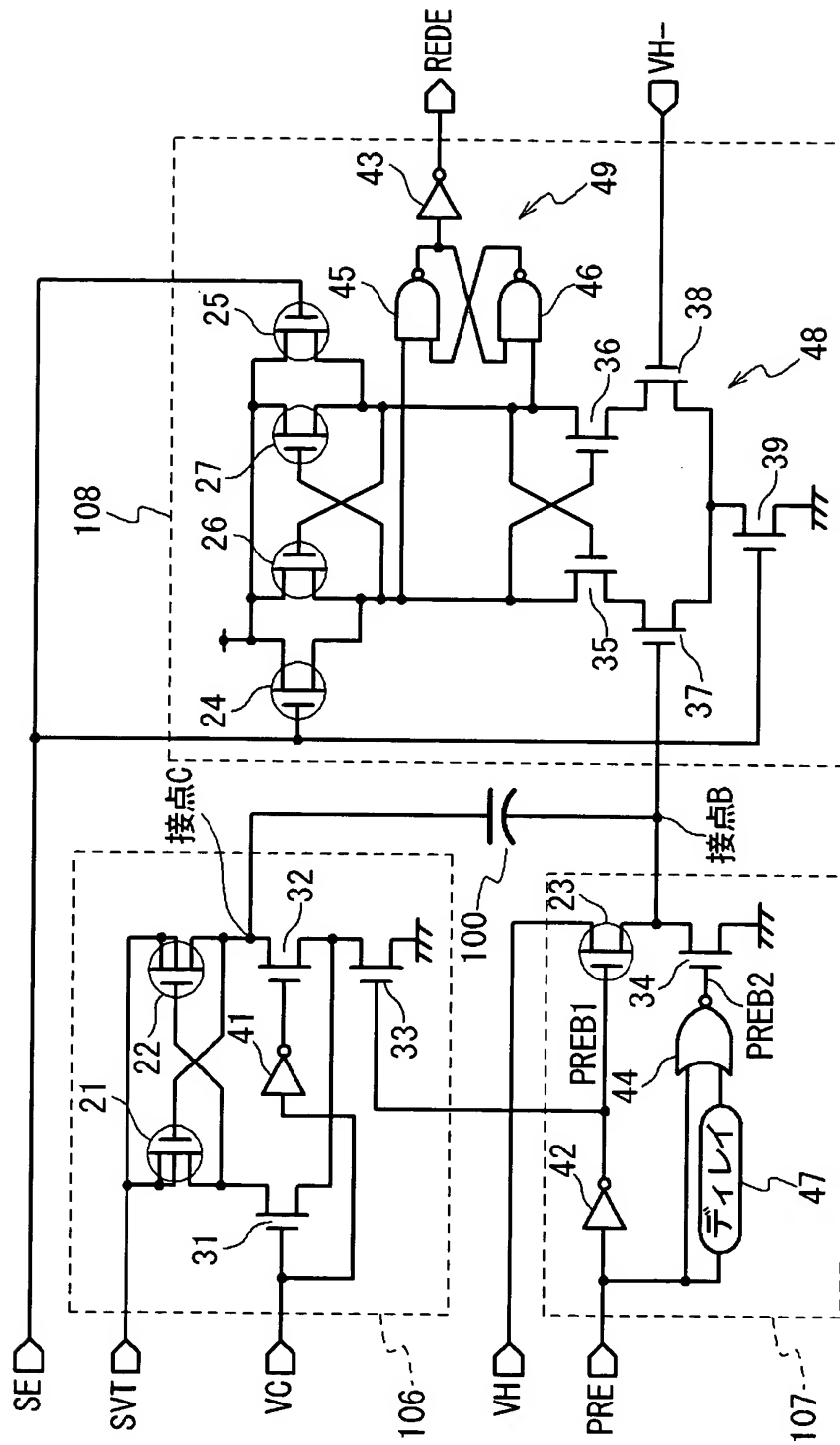
【図 3】



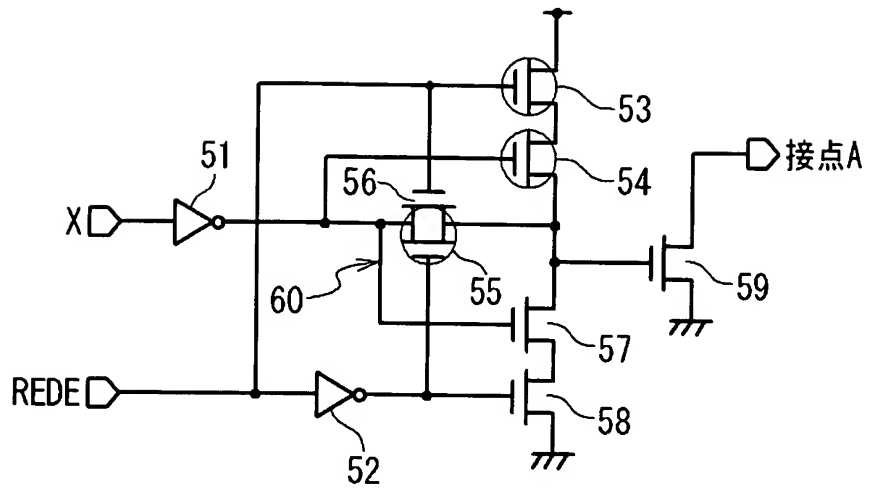
【図 4】



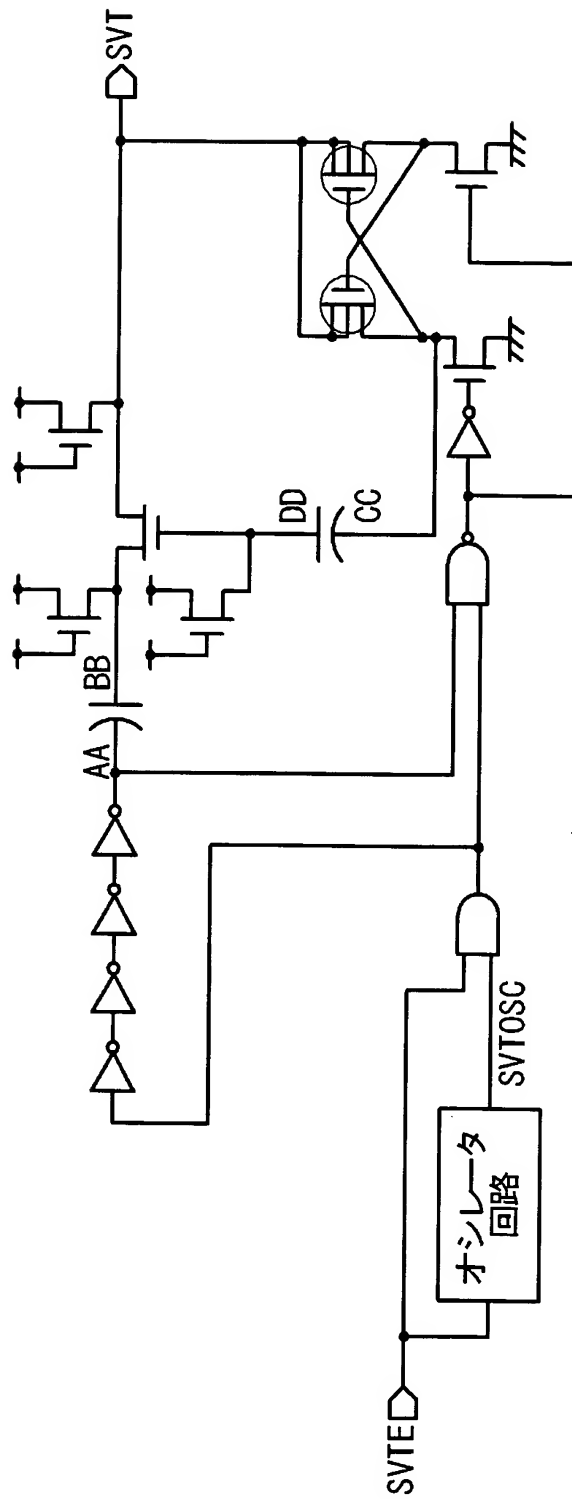
【図5】



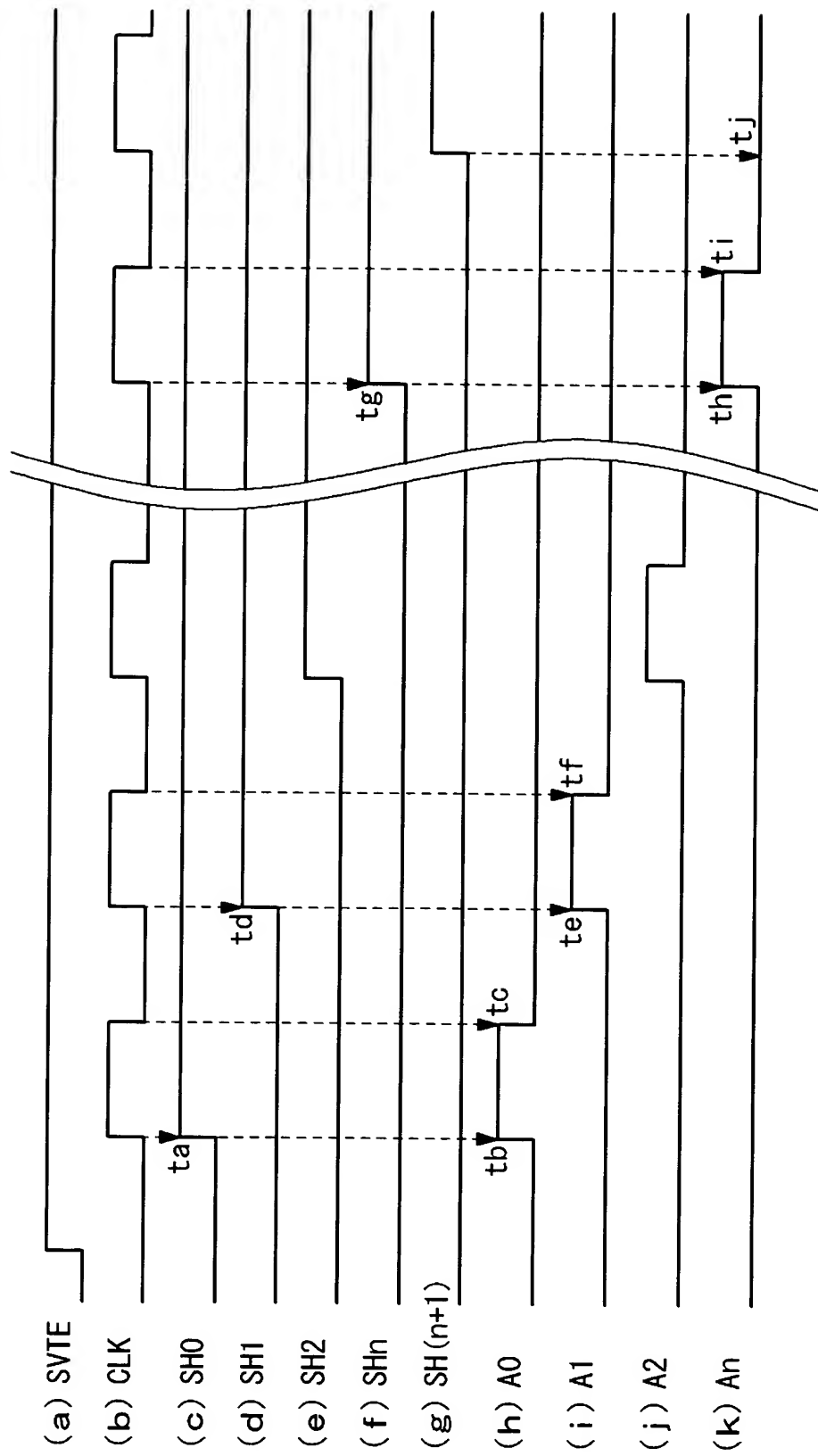
【図 6】



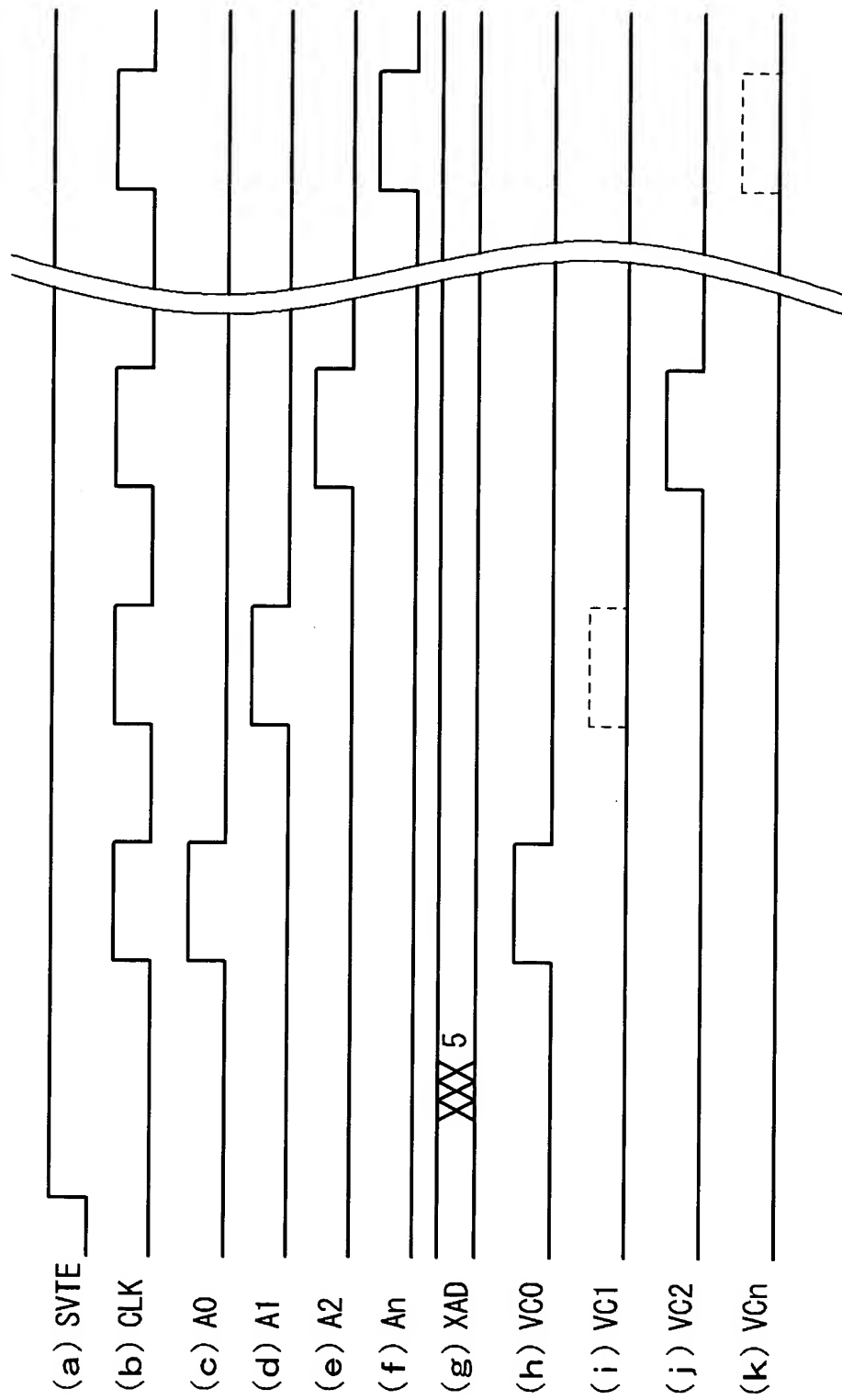
【圖 7】



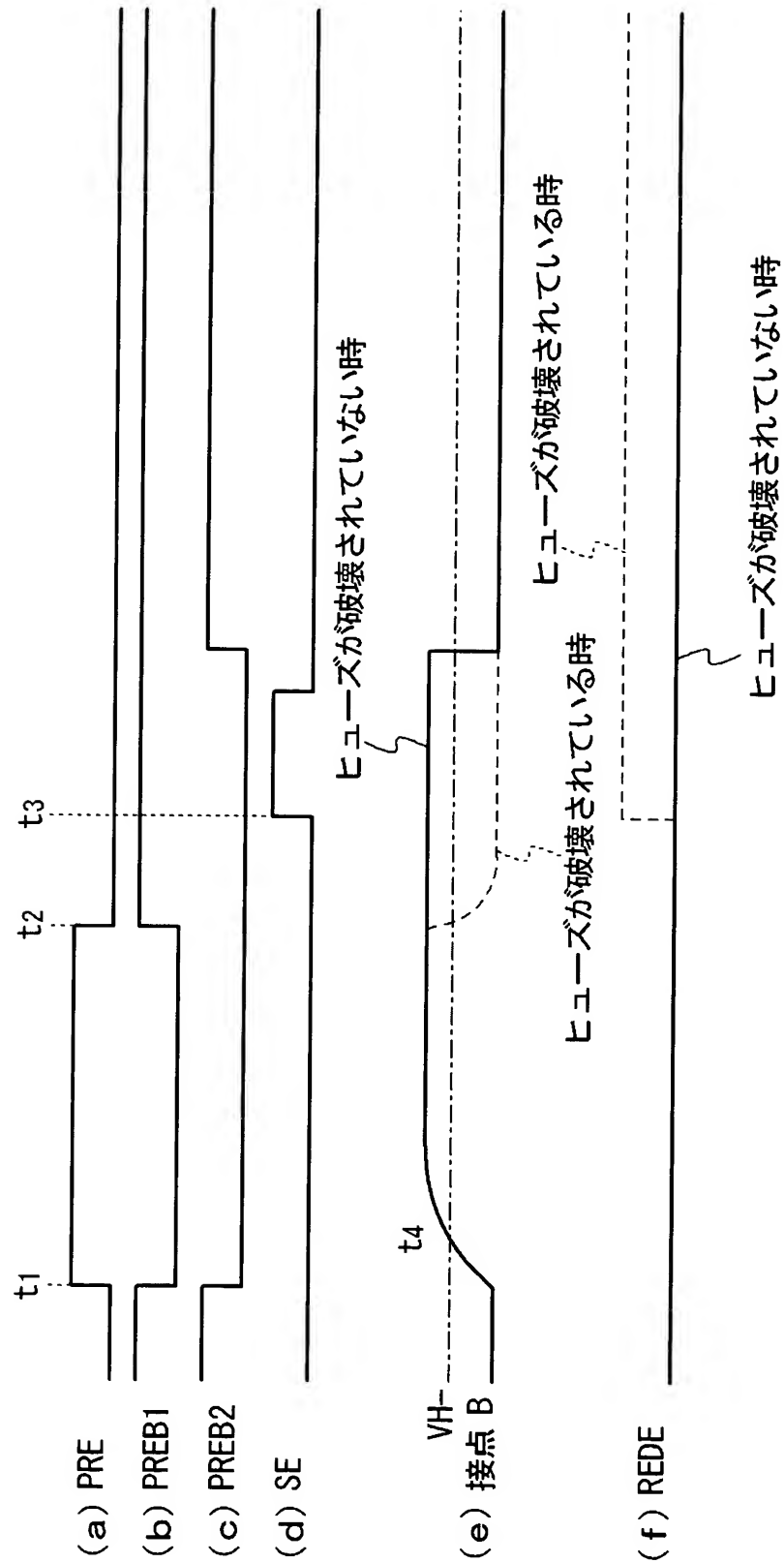
【図 8】



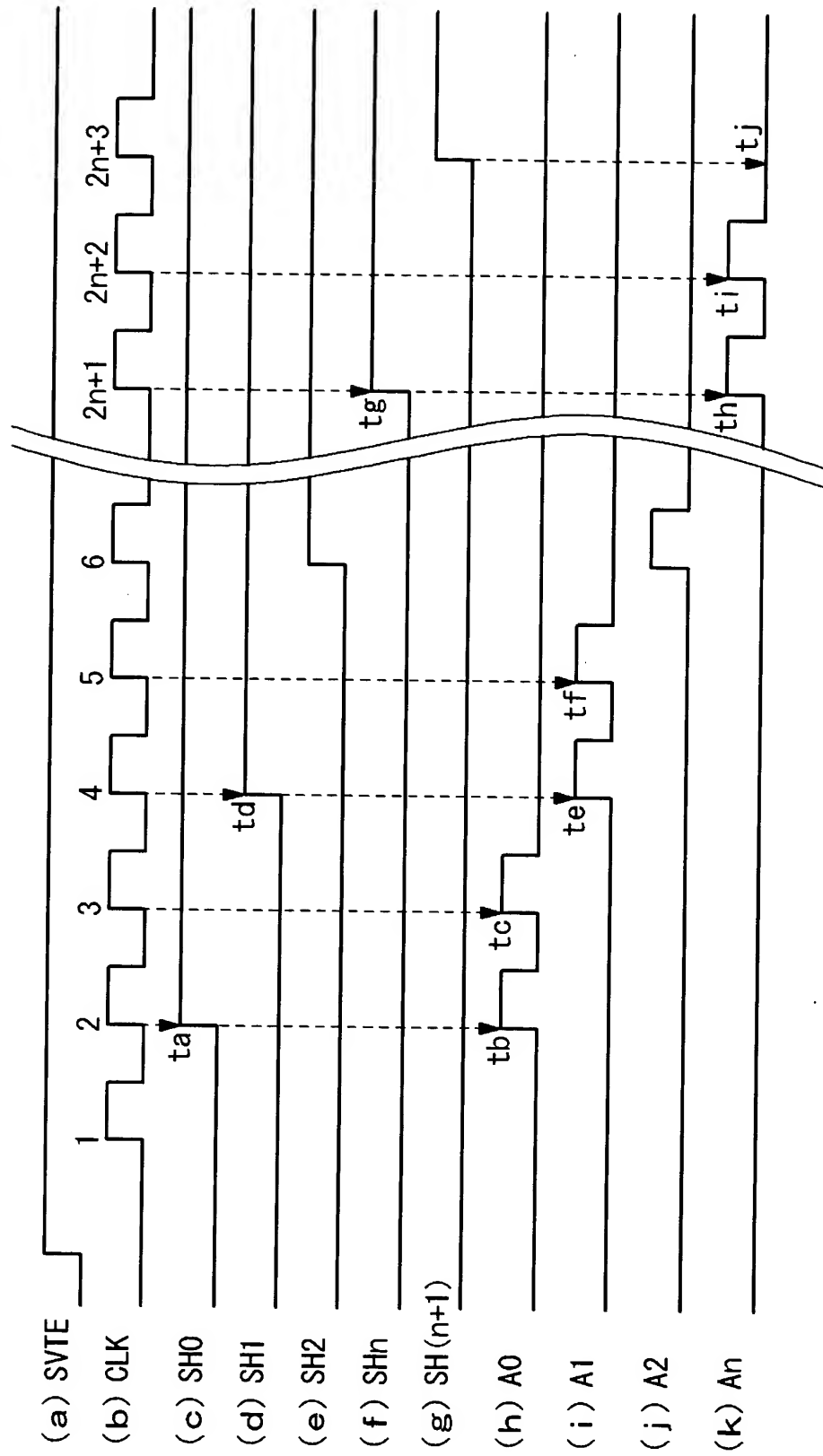
【図 9】



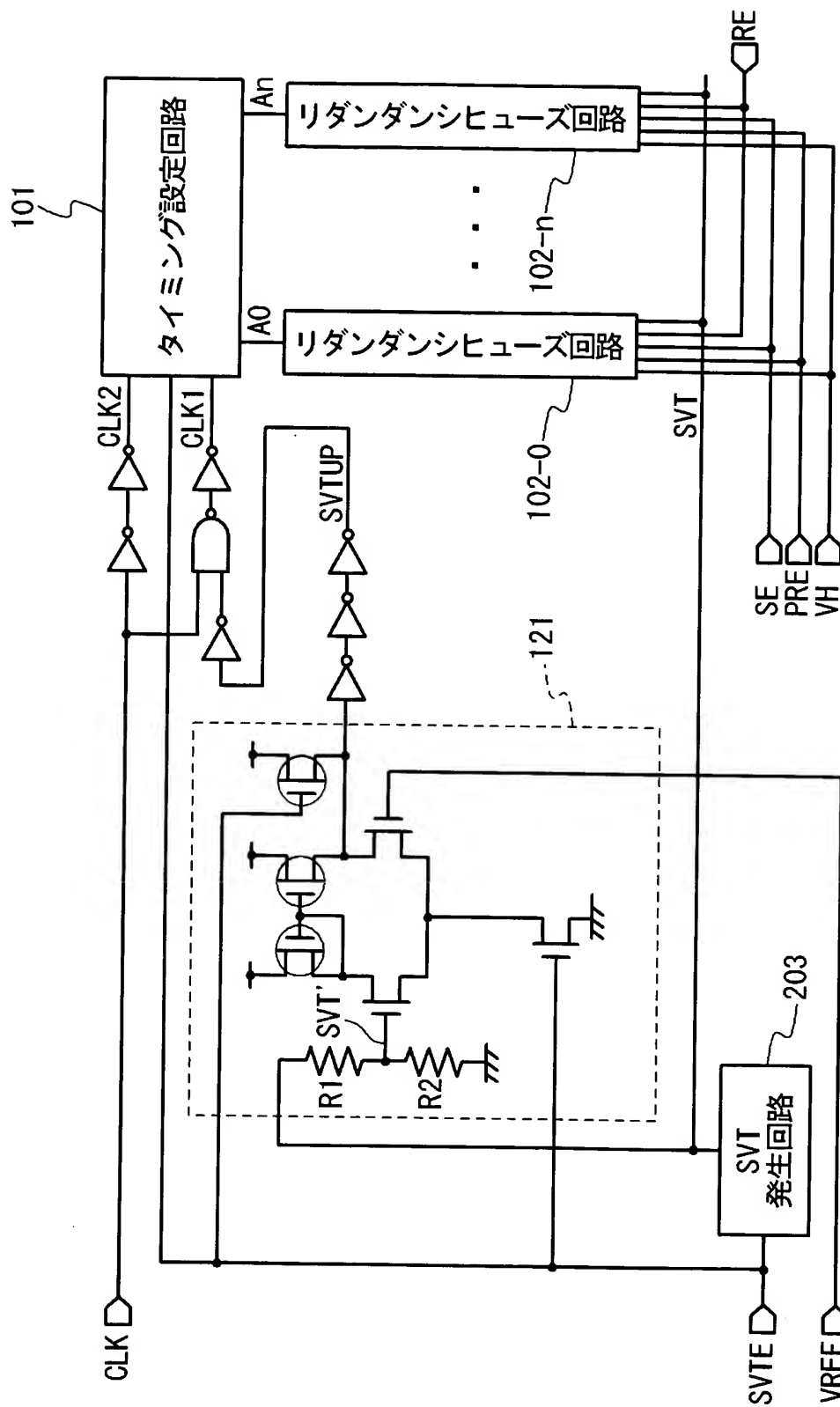
【図 10】



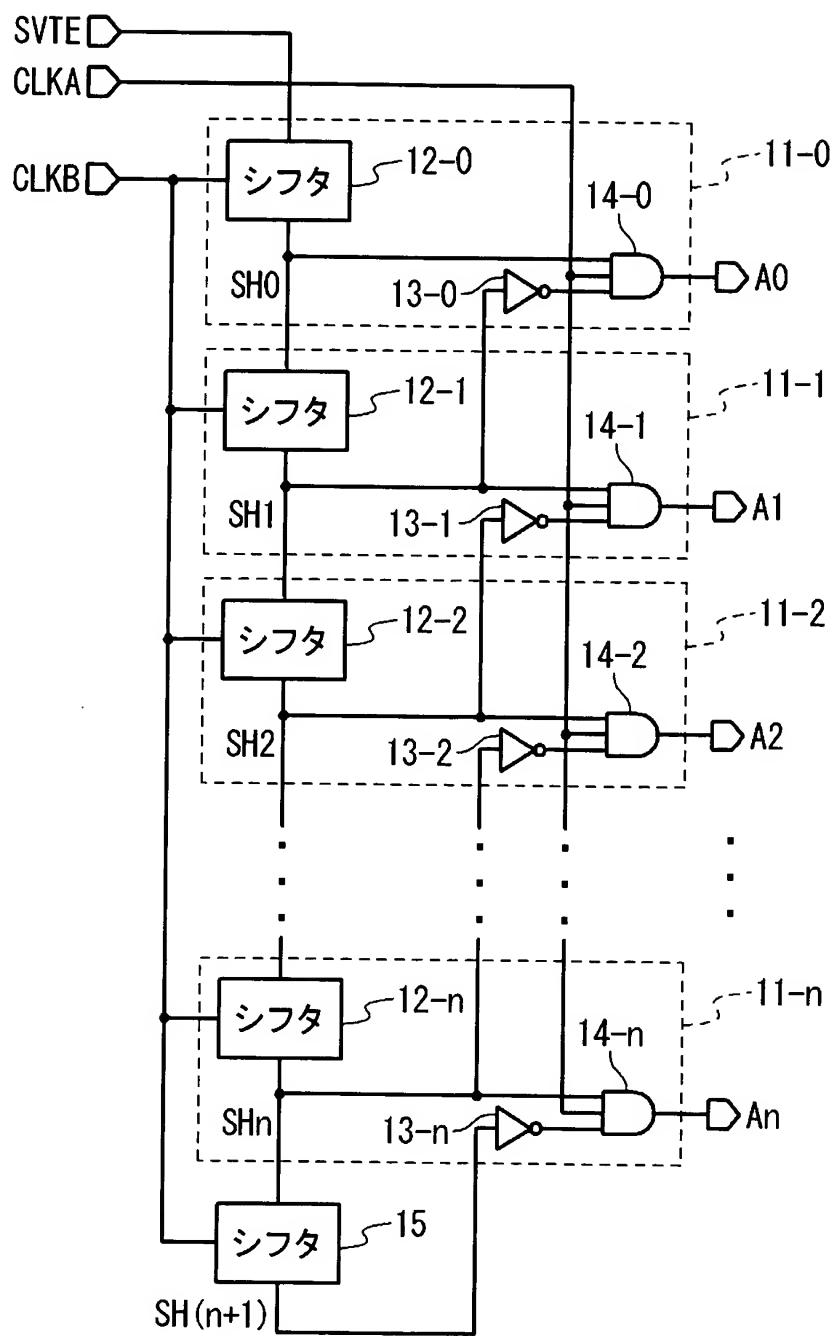
【図11】



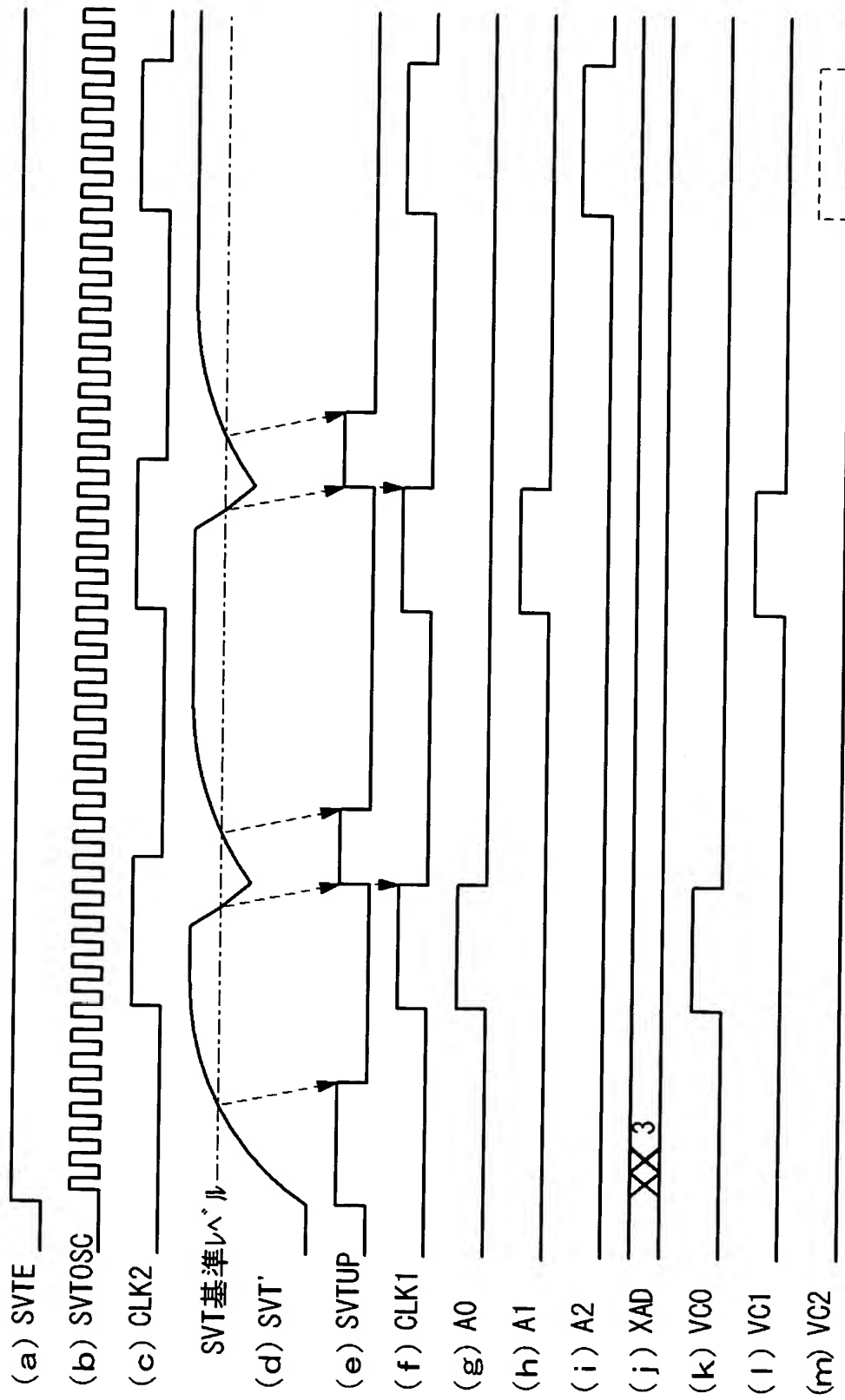
【図12】



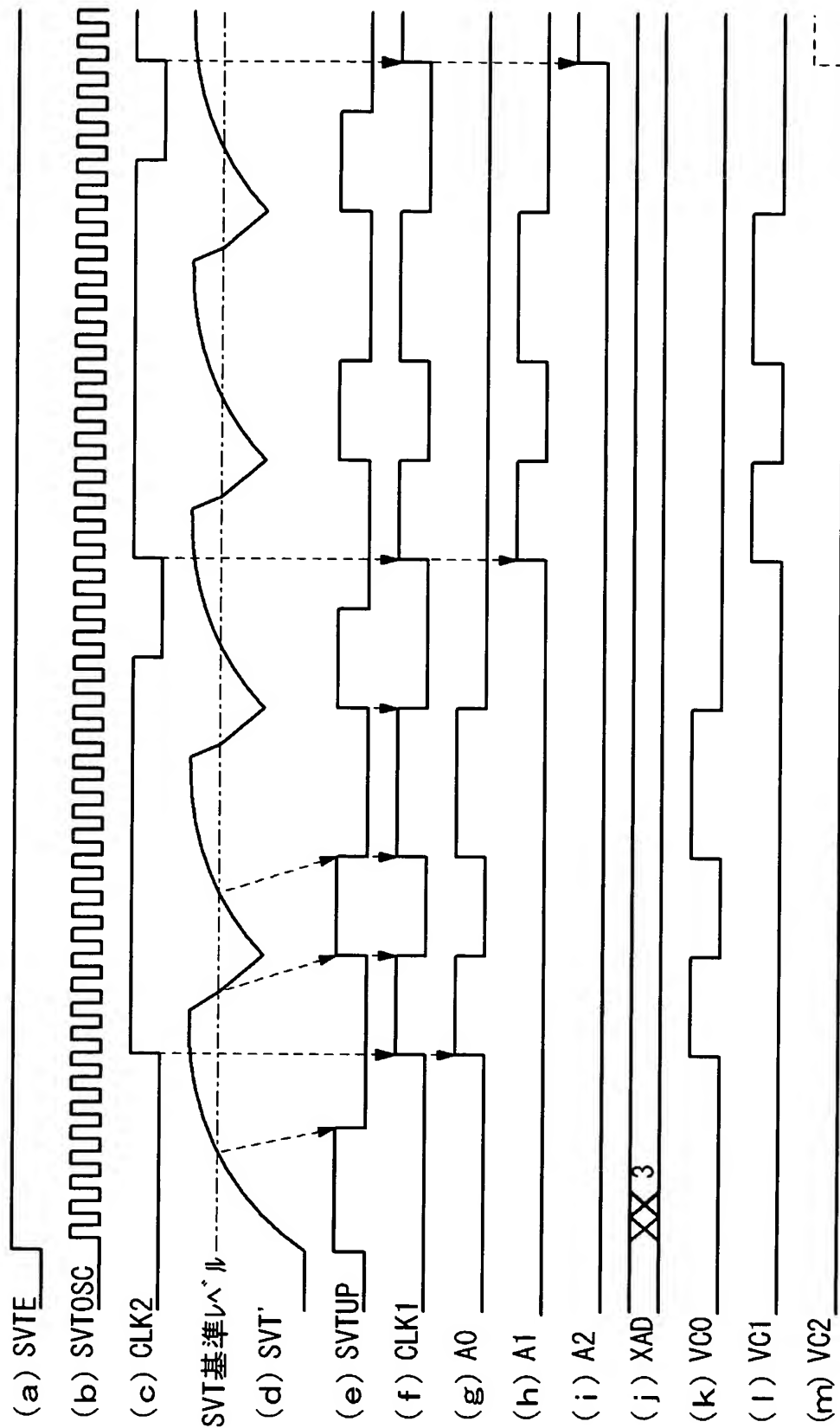
【図 13】



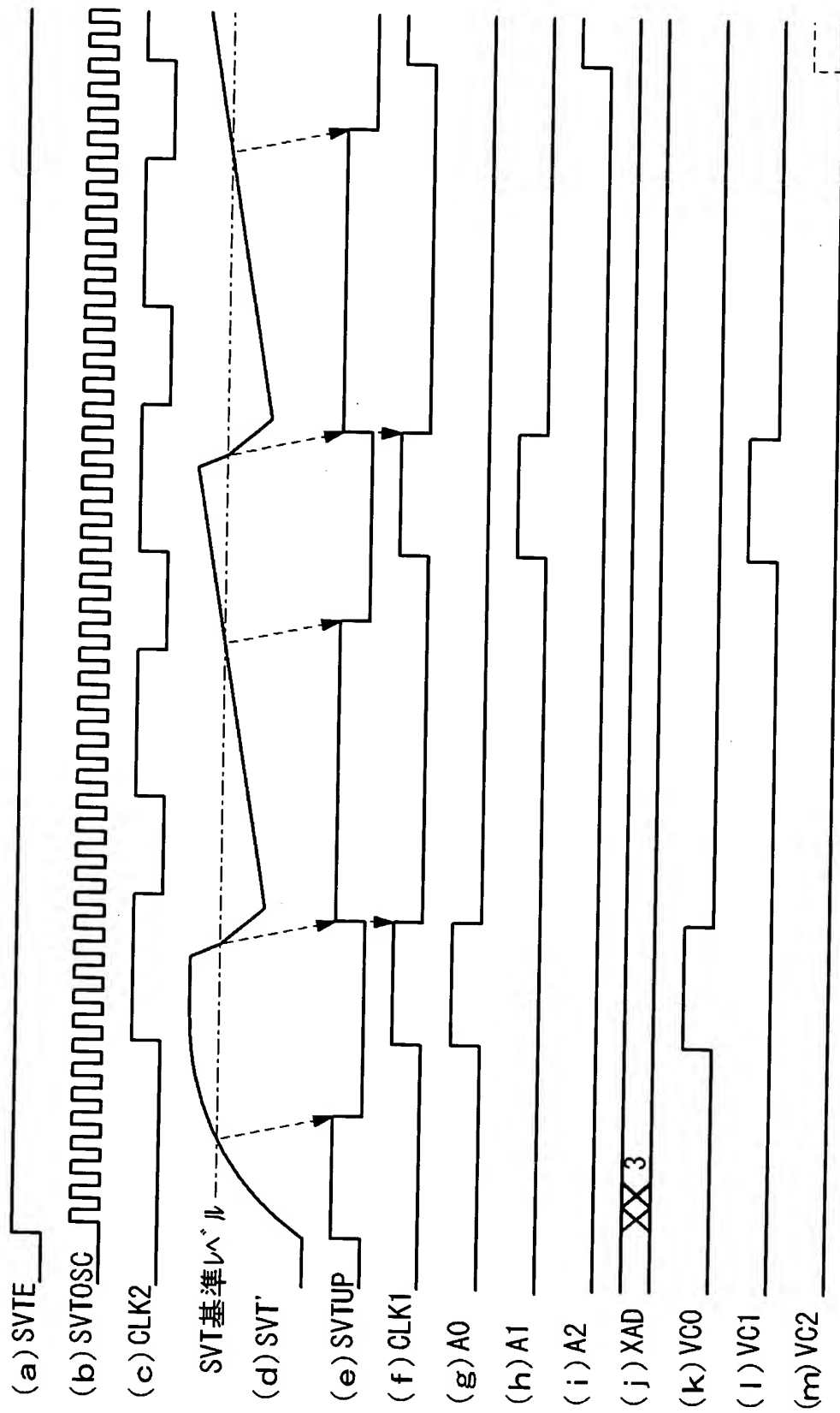
【図 14】



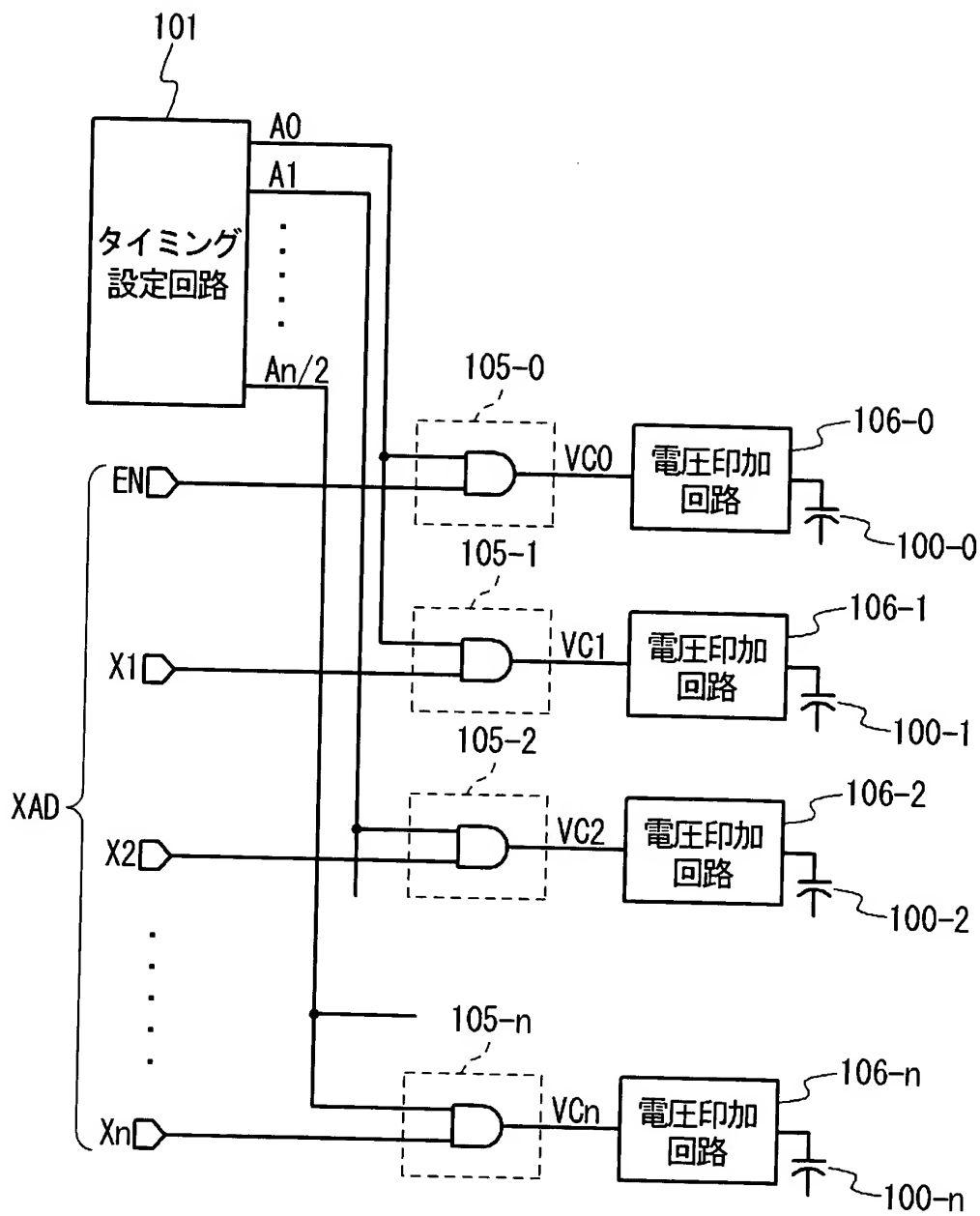
【図15】



【図16】



【図 17】





【書類名】 要約書

【要約】

【課題】 本発明の目的は、プログラム素子をより確実に絶縁破壊することが可能なりダンダンシ制御回路、及びそれを用いた半導体記憶装置を提供することである。

【解決手段】 本発明のリダンダンシ制御回路は、電圧（S V T）が印加されて絶縁破壊されることにより、欠陥の位置を示す欠陥アドレスの情報がプログラムされる複数のプログラム素子を備えた回路である。欠陥アドレスに対応して絶縁破壊すべきアンチヒューズの数よりも少ない数のプログラム素子に対して同時に電圧（S V T）が印加される。

【選択図】 図 2



特願 2003-096353

ページ: 1/E

出願人履歴情報

識別番号

[500174247]

1. 変更年月日

2000年 7月12日

[変更理由]

名称変更

住 所

東京都中央区八重洲2-2-1

氏 名

エルピーダメモリ株式会社